

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-507058
(P2002-507058A)

(43) 公表日 平成14年3月5日(2002.3.5)

(51) Int.Cl.⁷ 認別記号
H 01 L 29/78 655

F I 7-73-1* (参考)
H 01 L 29/78 655F 5F005
655B 5F102

656
21/322

21/322 L

29/749

審査請求 未請求 予備審査請求 有 (全 84 頁) 最終頁に統く

(21)出願番号	特願2000-536101(P2000-536101)
(86) (22)出願日	平成11年3月9日(1999.3.9)
(85)翻訳文提出日	平成12年9月8日(2000.9.8)
(86)国際出願番号	PCT/US99/05066
(87)国際公開番号	WO99/46809
(87)国際公開日	平成11年9月16日(1999.9.16)
(31)優先権主張番号	09/036, 838
(32)優先日	平成10年3月9日(1998.3.9)
(33)優先権主張国	米国(US)
(31)優先権主張番号	09/037, 723
(32)優先日	平成10年3月9日(1998.3.9)
(33)優先権主張国	米国(US)

(71)出願人 ハリス コーポレイション
 Harris Corporation
 アメリカ合衆国 フロリダ 32919 メル
 バーン, ウエスト・ナサ・ブルバード
 1025

(72)発明者 カブ, フランシス ジェイ
 アメリカ合衆国 メリーランド州 21012
 アーノルド スパイ・グラス・アヴェニ
 ュー 1103

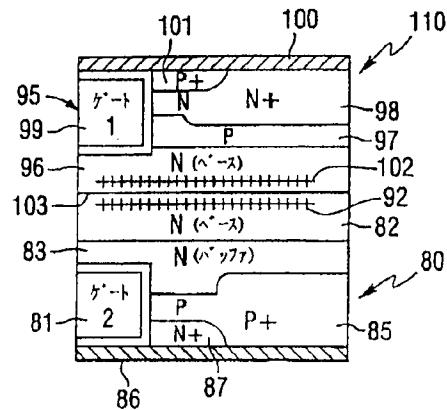
(74)代理人 弁理士 伊東 忠彦 (外1名)

最終日に続く

(54) 【発明の名称】 低温直接ポンディングにより形成可能な装置

(57) [要約]

半導体装置は、横方向に拡がる半導体ベース（8 2, 9 6）と、ベースに隣接し第1導電型ドーパントを有するバッファ（8 3）と、バッファに隣接し、ベースの反対側にあり、第2導電型ドーパントを有する横方向に拡がるエミッタ（8 5）とを含む。バッファ（8 3）は薄型であり、電流増大に対する負の温度係数と順方向電圧に対する正の温度係数を半導体装置に与えるため、隣接したエミッタ部の第2導電型ドーパント濃度よりも高い第1導電型ドーパント濃度を有する。バッファは、シリコン若しくはゲルマニウムである。低温接合型界面（1 0 3）は、エミッタ・バッファ間、又は、バッファ・ベース間に設けられる。半導体装置の別の実施例は、逆極性にドープされた第1の横方向延在部分と第2の横方向延在部分の間に横方向に拡がる局在化ライフトайムキル部分（9 2, 1 0 2）を含む。局在化ライフトайムキル部分は、横方向に制限され、横方向に隙間が設けられた複数のライフトайムキル領域を有する。別の半導体装置は、一つ以上のPN接合を有する。



【特許請求の範囲】

【請求項1】 横方向に拡がる横方向拡張半導体ベースと、
上記ベースに隣接し第1導電型ドーパントを有する横方向拡張バッファと、
上記バッファに隣接し上記ベースの反対側にあり、第2導電型ドーパントを有
する横方向拡張エミッタとを含み、

上記バッファは、装置の電流利得に対する負の温度係数と、順方向電圧に対する正の温度係数とを与えるため、比較的薄く、隣接したエミッタ部分の第2導電型ドーパント濃度よりも高い第1導電型ドーパント濃度を有する、半導体装置。

【請求項2】 上記ベースは上記バッファの第1導電型ドーパント濃度よりも低い第1導電型ドーパント濃度を有する請求項1記載の半導体装置。

【請求項3】 上記バッファは約10ミクロン未満の厚さを有する請求項1記載の半導体装置。

【請求項4】 上記バッファは約200乃至500ナノメートルの範囲の厚さを有する請求項1記載の半導体装置。

【請求項5】 上記バッファのドーパント濃度は約 $3 \times 10^{16} \text{ cm}^{-3}$ よりも高い濃度である請求項1記載の半導体装置。

【請求項6】 上記バッファのドーパント濃度は約 $1 \times 10^{17} \text{ cm}^{-3}$ よりも高い濃度である請求項1記載の半導体装置。

【請求項7】 上記ベースと上記エミッタの少なくとも一方はシリコンを含む請求項1記載の半導体装置。

【請求項8】 上記バッファはシリコンを含む請求項7記載の半導体装置。

【請求項9】 上記バッファはゲルマニウムを含む請求項7記載の半導体装置。

【請求項10】 上記エミッタと上記バッファの間にポンディングされたボンディング界面を更に有する請求項1記載の半導体装置。

【請求項11】 上記ボンディング界面は実質的に酸化物を含まない請求項10記載の半導体装置。

【請求項12】 上記バッファと上記ベースの間にポンディングされたボンディング界面を更に有する請求項1記載の半導体装置。

【請求項13】 上記ボンディング界面は実質的に酸化物を含まない請求項12記載の半導体装置。

【請求項14】 上記エミッタは、上記バッファに隣接したエピタキシャル部分と、上記エピタキシャル部分の反対側の第2の部分とを含む請求項1記載の半導体装置。

【請求項15】 上記ベースに出入りする電流フローを制御する手段を更に有する請求項1記載の半導体装置。

【請求項16】 上記電流フローを制御する手段は少なくとも1個のMOSFET電流制御装置を含む請求項15記載の半導体装置。

【請求項17】 横方向に拡がる半導体ベースと、
上記ベースに隣接し第1導電型ドーパントを有する横方向に拡がるバッファと

上記バッファに隣接し上記ベースの反対側にあり、第2導電型ドーパントを有する横方向に拡がるエミッタと、

上記ベースと上記バッファの間、並びに、上記バッファと上記エミッタの間のいずれか一方の間で横方向に拡がるボンディングされた界面とを含み、

上記バッファは、比較的薄く、隣接したエミッタ部分の第2導電型ドーパント濃度よりも高い第1導電型ドーパント濃度を有し、

上記横方向に拡がるボンディングされた界面は実質的に酸化物を含まない、半導体装置。

【請求項18】 上記ベースは上記バッファの第1導電型ドーパント濃度よりも低い第1導電型ドーパント濃度を有する請求項17記載の半導体装置。

【請求項19】 上記バッファのドーパント濃度は約 $1 \times 10^{17} \text{ cm}^{-3}$ よりも高い濃度である請求項17記載の半導体装置。

【請求項20】 上記ベースと上記エミッタの少なくとも一方はシリコンを含む請求項17記載の半導体装置。

【請求項21】 上記バッファはシリコンを含む請求項20記載の半導体装置。

【請求項22】 上記バッファはゲルマニウムを含む請求項20記載の半導

体装置。

【請求項23】 上記ベースに出入りする電流フローを制御する手段を更に有する請求項17記載の半導体装置。

【請求項24】 上記電流フローを制御する手段は少なくとも1個のMOSFET電流制御装置を含む請求項23記載の半導体装置。

【請求項25】 シリコンを含有する横方向に拡がる横方向拡張半導体ベースと、

上記ベースに隣接し第1導電型ドーパントを有しゲルマニウムを含有する横方向拡張バッファと、

上記バッファに隣接し上記ベースの反対側にあり、第2導電型ドーパントを有し、シリコンを含有する横方向拡張エミッタと、

上記ベースと上記バッファの間、並びに、上記バッファと上記エミッタの間のいずれか一方の間で横方向に拡がるボンディングされた界面とを含み、

上記横方向に拡がるボンディングされた界面は実質的に酸化物を含まず、上記バッファは、装置の電流利得に対する負の温度係数と、順方向電圧に対する正の温度係数とを与えるため、比較的薄型である、半導体装置。

【請求項26】 上記ベースは上記バッファの第1導電型ドーパント濃度よりも低い第1導電型ドーパント濃度を有する請求項25記載の半導体装置。

【請求項27】 上記バッファは約10ミクロン未満の厚さを有する請求項25記載の半導体装置。

【請求項28】 上記バッファは約200乃至500ナノメートルの範囲の厚さを有する請求項25記載の半導体装置。

【請求項29】 上記エミッタと上記バッファの間にボンディングされたボンディング界面を更に有し、

上記ボンディング界面は実質的に酸化物を含まない請求項25記載の半導体装置。

【請求項30】 上記ベースに出入りする電流フローを制御する手段を更に有する請求項25記載の半導体装置。

【請求項31】 上記電流フローを制御する手段は少なくとも1個のMOS

FET電流制御装置を含む請求項30記載の半導体装置。

【請求項32】 第1導電型ドーパントを有する横方向に拡がる第1の部分と、

上記第1の部分の上にあり、第2導電型ドーパントを有する横方向に拡がる第2の部分と、

上記第1の部分と上記第2の部分の間で、横方向に拡がる局在化ライフタイムキリング部分とを含み、

上記局在化ライフタイムキリング部分は、横方向に制限され、横方向に離間した複数のライフタイムキリング領域を有する、半導体装置。

【請求項33】 上記局在化ライフタイムキリング部分と上記第1の部分の間に、ボンディングされたボンディッド界面が画成される、請求項32記載の半導体装置。

【請求項34】 上記ライフタイムキリング領域は、所定の距離だけ上記ボンディッド界面から縦方向に離間している、請求項33記載の半導体装置。

【請求項35】 上記所定の距離は約10ミクロンである請求項34記載の半導体装置。

【請求項36】 上記ボンディッド界面は実質的に酸化物を含まない請求項33記載の半導体装置。

【請求項37】 上記局在化ライフタイムキリング部分及び上記第2の部分の間に、ボンディングされたボンディッド界面が画成される、請求項32記載の半導体装置。

【請求項38】 上記ライフタイムキリング領域は、所定の距離だけ上記ボンディッド界面から縦方向に離間している、請求項37記載の半導体装置。

【請求項39】 上記所定の距離は約10ミクロンである請求項38記載の半導体装置。

【請求項40】 上記ボンディッド界面は実質的に酸化物を含まない請求項37記載の半導体装置。

【請求項41】 上記の各ライフタイムキリング領域は、欠陥と打込まれた不純物の中の少なくとも一つを含む、請求項32記載の半導体装置。

【請求項42】 上記の各ライフタイムキリング領域は、直径が約2乃至20ミクロンの円形領域を有し、

隣接した円形領域は約5乃至20ミクロンずつ離間されている、請求項32記載の半導体装置。

【請求項43】 上記の各ライフタイムキリング領域は、幅が約2乃至20ミクロンである帯状領域を有し、

隣接した帯状領域は約5乃至20ミクロンずつ離間されている、請求項32記載の半導体装置。

【請求項44】 上記ベースに出入りする電流フローを制御する手段を更に有する請求項32記載の半導体装置。

【請求項45】 上記電流フローを制御する手段は少なくとも1個のMOSFET電流制御装置を含む請求項44記載の半導体装置。

【請求項46】 第1導電型ドーパントを有する横方向に拡がる第1の部分と、

上記第1の部分の上にあり、第2導電型ドーパントを有する横方向に拡がる第2の部分と、

上記第1の部分と上記第2の部分の界面に隣接した上記第1の部分に形成され、少なくとも一つのPN接合を画定する少なくとも一つの第2導電型のドープト領域と、

上記少なくとも一つのドープト領域と上記第2の部分の間に配置され、上記PN接合の抵抗を低下させる導電層とを含む、半導体装置。

【請求項47】 上記少なくとも一つのドープト領域は…対の離間したドープト領域を含み、

縦型接合電界効果トランジスタである請求項46記載の半導体装置。

【請求項48】 上記導電層は格子状に配置され、

透磁性ペーストランジスタである請求項46記載の半導体装置。

【請求項49】 上記導電層は金属とシリコンの中の少なくとも一方を含有する請求項46記載の半導体装置。

【請求項50】 上記第1の部分と上記第2の部分の少なくとも一方はシリ

コンを含有する請求項4-6記載の半導体装置。

【請求項5-1】 上記第1の部分と上記第2の部分の間にポンディングされたポンディッド界面を更に有する請求項4-6記載の半導体装置。

【請求項5-2】 上記ポンディッド界面は実質的に酸化物を含まない請求項5-1記載の半導体装置。

【請求項5-3】 上記ベースに出入りする電流フローを制御する手段を更に有する請求項4-6記載の半導体装置。

【請求項5-4】 上記電流フローを制御する手段は少なくとも1個のMOSFET電流制御装置を含む請求5-3記載の半導体装置。

【請求項5-5】 第1導電型ドーパントを有する横方向に拡がる第1の部分と、

上記第1の部分の上にあり、第1導電型ドーパントを有する横方向に拡がる第2の部分と、

上記第2の部分の上にあり、第2導電型ドーパントを有する横方向に拡がる第3の部分と、

上記第1の部分の外面にある第1の能動制御装置と、

上記第3の部分の外面にある第2の能動制御装置とを含み、

上記第1の部分と上記第2の部分の一方は上記第3の部分のドーパント濃度よりも高いドーパント濃度を有する、半導体装置。

【請求項5-6】 上記第2の部分と上記第3の部分の間にポンディングされたポンディッド界面を更に有する請求項5-5記載の半導体装置。

【請求項5-7】 上記ポンディッド界面は実質的に酸化物を含まない請求項5-6記載の半導体装置。

【請求項5-8】 上記第1の能動制御装置及び上記第2の能動制御装置は、第1のMOSFET電流制御装置及び第2のMOSFET電流制御装置を含む請求項5-5記載の半導体装置。

【請求項5-9】 複数の半導体基板から半導体装置を製造する方法であって、少なくとも1枚の基板の少なくとも一方の面を処理するステップと、

少なくとも1枚の基板を薄膜化するステップと、
少なくとも一方の処理された面が上記半導体装置の外面を画成するように、上記処理された基板と上記薄膜化された基板を一体にボンディングするステップと

上記少なくとも一方の処理された面に悪影響を与えないように、上記ボンディングされた一体の基板を比較的低いアニール温度でアニーリングするステップとを有する方法。

【請求項60】 上記薄膜化するステップは、上記処理された面の反対側の少なくとも1枚の基板の表面部を取り除く、請求項59記載の方法。

【請求項61】 上記薄膜化するステップは、約200μm未満の厚さに薄膜化する、請求項59記載の方法。

【請求項62】 上記薄膜化された面を所定の表面粗さに研磨するステップを更に有する請求項59記載の方法。

【請求項63】 上記少なくとも1枚の基板を薄膜化するステップの前に、ゲッタリング層を形成するステップを更に有し、上記薄膜化するステップは上記ゲッタリング層を取り除く、請求項59記載の方法。

【請求項64】 上記ゲッタリング層を形成するステップは、リン拡散、アルゴン若しくは炭素のイオン打込み、及び、ポリシリコン堆積の中の少なくとも一つを実行する、請求項63記載の方法。

【請求項65】 上記ゲッタリング層を形成するステップは、上記処理するステップの前に上記ゲッタリング層を形成する、請求項63記載の方法。

【請求項66】 ボンディングするステップの前に、上記処理された基板と反対側の上記少なくとも1枚の基板の面に打込み領域を形成するステップを更に有する請求項59記載の方法。

【請求項67】 上記打込み領域を形成するステップは、ライフタイムキリング打込み物を用いて打込みを行う、請求項66記載の方法。

【請求項68】 上記打込み領域を形成するステップは、複数の横方向に離間したライフタイムキリング打込み領域を画成するため、所定のパターンに打込

みを行う、請求項6 7記載の方法。

【請求項6 9】 上記ライフタイムキリング打込み物は、プロトン、ヘリウム、炭素、酸素、アルゴン、シリコン、プラチナ、パラジウム、金、鉄、及び、ニッケルの中の少なくとも一つを含有する、請求項6 7記載の方法。

【請求項7 0】 ボンディングするステップの前に、上記処理された基板と反対側の上記少なくとも1枚の基板の面にドープト層を形成するステップを更に有する請求項5 9記載の方法。

【請求項7 1】 上記ドープト層を形成するステップはドーパントを上記基板に打込むステップを有する、請求項7 0記載の方法。

【請求項7 2】 上記少なくとも1枚の基板は第1導電型ドーパントを有し

、
上記ドーパントを打込むステップは、上記基板内の上記第1導電型ドーパントよりも高い濃度の第2導電型ドーパントを上記ドープト層に打込む、請求項7 0記載の方法。

【請求項7 3】 上記打込まれたドーパントを活性化するステップを更に有する請求項7 1記載の方法。

【請求項7 4】 上記ドープト層を形成するステップは、エピタキシャルドープト層を形成する、請求項7 2記載の方法。

【請求項7 5】 ボンディングするステップの前に、上記処理された基板と反対側の上記少なくとも1枚の基板の面にエピタキシャル層を形成するステップを更に有する請求項5 9記載の方法。

【請求項7 6】 上記少なくとも1枚の基板はシリコンを含有し、上記エピタキシャル層はゲルマニウムを含有する、請求項7 5記載の方法。

【請求項7 7】 上記処理するステップは、第1導電型の高ドープトバッファ層を上記第1導電型のドープト基板に形成する、請求項5 9記載の方法。

【請求項7 8】 上記処理するステップは、第1導電型の高ドープトバッファ層を第1導電型のドープト基板に打込む、請求項5 9記載の方法。

【請求項7 9】 上記ボンディングするステップは真空中で行われる、請求項5 9記載の方法。

【請求項80】 上記薄膜化するステップの前に、薄膜化されるべき少なくとも1枚の基板をハンドリング基板に実装するステップを更に有する請求項59記載の方法。

【請求項81】 上記ポンディングするステップの前に、上記基板を整列するステップを更に有する請求項59記載の方法。

【請求項82】 上記整列するステップは、各基板に所定の対応する部分を画定するステップと、切断エッジを画成するため、上記所定の部分に沿って上記基板をカッティングするステップと、上記切断エッジに沿って上記基板を整列するステップとを有する、請求項81記載の方法。

【請求項83】 各基板上で個々の装置をテストするステップと、半導体装置の歩留りを高めるため上記基板を整列するステップとを更に有する請求項81記載の方法。

【請求項84】 上記処理するステップはアルミニウム層を形成し、上記アニール温度は約450°C未満である、請求項59記載の方法。

【請求項85】 上記処理するステップはアルミニウム層を形成する請求項59記載の方法。

【請求項86】 上記アルミニウムと基板の間のバリアメタルを形成するステップを更に有し、上記アニール温度は約450°C乃至550°Cの範囲に收まる、請求項85記載の方法。

【請求項87】 上記処理するステップは少なくとも一つのドープト領域を形成し、

上記アニーリングするステップの後に、少なくとも一つの金属層を形成するステップを更に有し、

上記アニール温度は約800°C未満である、請求項59記載の方法。

【請求項88】 上記アニール温度は約400°C以上である請求項59記載の方法。

【請求項89】 上記アニーリングするステップは所定の時間に亘ってアニーリングする、請求項59記載の方法。

【請求項90】 上記基板はシリコンを含有し、上記ボンディングするステップの前に、シリコン面を水素終端化するステップを更に有する、請求項59記載の方法。

【請求項91】 炭化水素と金属の少なくとも一方を除くため、ボンディングされる面を洗浄するステップを更に有する請求項59記載の方法。

【請求項92】 上記処理するステップは少なくとも1個のMOSFET制御装置を形成する、請求項59記載の方法。

【請求項93】 上記複数の基板は2枚であり、上記処理するステップは両方の基板を処理する、請求項59記載の方法。

【請求項94】 上記ボンディングするステップは、所定の温度、所定の環境、及び、所定の圧力でボンディングする、請求項59記載の方法。

【請求項95】 上記アニーリングするステップは、所定の環境、所定の圧力でアニーリングする、請求項59記載の方法。

【請求項96】 複数の半導体基板から半導体装置を製造する方法であつて

、少なくとも1枚の基板に対するゲッタリング層を形成するステップと、上記半導体装置の少なくとも1枚の面が処理されるように少なくとも1枚の基板を薄膜化するステップと、

上記少なくとも一方の処理された面に悪影響を与えないように、ボンディングされた一体の基板を比較的低いアニール温度でアニーリングするステップとを有する方法。

【請求項97】 上記ゲッタリング層を形成するステップは、リン拡散、アルゴン、シリコン、酸素、若しくは、炭素のイオン打込み、及び、ポリシリコン堆積の中の少なくとも一つを実行する、請求項96記載の方法。

【請求項98】 上記処理するステップは金属層を形成し、上記アニール温度は上記金属層の特性に關係した温度よりも低い、請求項97記載の方法。

【請求項99】 上記処理するステップは金属層を形成し、
上記アニール温度は上記金属層の特性に関係した温度よりも低い、請求項96
記載の方法。

【請求項100】 上記処理するステップはアルミニウム層を形成し、
上記アニール温度は約450°C未満である、請求項96記載の方法。

【請求項101】 上記アルミニウムと基板の間のバリアメタルを形成する
ステップを更に有し、

上記アニール温度は約450°C乃至550°Cの範囲に収まる、請求項100記
載の方法。

【請求項102】 上記処理するステップは少なくとも一つのドープト領域
を形成し、

上記アニーリングするステップの後に、少なくとも一つの金属層を形成するス
テップを更に有し、

上記アニール温度は約800°C未満である、請求項96記載の方法。

【請求項103】 上記アニール温度は約400°C以上である請求項96記
載の方法。

【請求項104】 上記処理するステップは、全ての能動装置及び相互連結
を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項96記載
の方法。

【請求項105】 上記処理するステップは少なくとも1個のMOSFET
制御装置を形成する、請求項59記載の方法。

【請求項106】 複数の半導体基板から半導体装置を製造する方法であつ
て、

少なくとも1枚の基板の少なくとも一方の面を処理するステップと、
上記処理された面の反対側の少なくとも1枚の基板の領域を打込むステップと

、
上記少なくとも一方の処理された面が上記半導体装置の外面を画成するよう
に、上記処理された基板を一体にボンディングするステップと、
上記少なくとも一方の処理された面及び上記打込まれた領域に悪影響を与えた

いように、上記ポンディングされた一体の基板を比較的低いアニール温度でアニーリングするステップとを有する方法。

【請求項107】 上記ポンディングするステップの前に、上記少なくとも1枚の基板を薄膜化するステップを更に有する請求項106記載の方法。

【請求項108】 上記打込むステップは、ライフタイムキリング打込み物を用いて打込みを行う、請求項106記載の方法。

【請求項109】 上記打込むステップは、複数の横方向に離間したライフタイムキリング打込み領域を画成するため、所定のパターンに打込みを行う、請求項108記載の方法。

【請求項110】 上記ライフタイムキリング打込み物は、プロトン、ヘリウム、炭素、酸素、アルゴン、シリコン、プラチナ、パラジウム、金、鉄、及びニッケルの中の少なくとも一つを含有する、請求項109記載の方法。

【請求項111】 上記打込むステップは上記基板にドーパントを打込むステップを有する、請求項106記載の方法。

【請求項112】 上記少なくとも1枚の基板は第1導電型ドーパントを有し、

上記ドーパントを打込むステップは、上記基板内の上記第1導電型ドーパントよりも高い濃度の第2導電型ドーパントを上記ドープト層に打込む、請求項111記載の方法。

【請求項113】 上記処理するステップは金属層を形成し、上記アニール温度は上記金属層の特性に関係した温度よりも低い、請求項106記載の方法。

【請求項114】 上記処理するステップはアルミニウム層を形成し、上記アニール温度は約450°C未満である、請求項106記載の方法。

【請求項115】 上記アルミニウムと基板との間のバリアメタルを形成するステップを更に有し、

上記アニール温度は約450°C乃至550°Cの範囲に收まる、請求項114記載の方法。

【請求項116】 上記処理するステップは少なくとも一つのドープト領域

を形成し、

アニーリングが約800°C未満で行われた後に、少なくとも一つの金属層を形成するステップを更に有する、請求項106記載の方法。

【請求項117】 上記アニール温度は約400°C以上である請求項106記載の方法。

【請求項118】 上記処理するステップは、全ての能動装置及び相互連結を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項106記載の方法。

【請求項119】 上記処理するステップは少なくとも1個のMOSFET制御装置を形成する、請求項106記載の方法。

【請求項120】 複数の半導体基板から半導体装置を製造する方法であつて、

少なくとも1枚の基板の少なくとも一方の面を処理するステップと、
上記処理された面の反対側の少なくとも1枚の基板の面にエピタキシャル層を形成するステップと、

上記半導体装置の外面を画成するよう上記少なくとも一方の処理された面をボンディングするステップと、

上記少なくとも一方の処理された面に悪影響を与えないように、上記ボンディングされた一体の基板を比較的低いアニール温度でアニーリングするステップと有する方法。

【請求項121】 上記ボンディングするステップの前に、上記少なくとも1枚の基板を薄膜化するステップを更に有する請求項119記載の方法。

【請求項122】 上記エピタキシャル層を形成するステップは、比較的薄いバッファ層を画成するため、エピタキシャルドープ層を形成する、請求項119記載の方法。

【請求項123】 上記エピタキシャルドープ層を形成するステップは、隣接した基板部分よりも高いドーパント濃度を有するエピタキシャルドープ層を形成する、請求項121記載の方法。

【請求項124】 上記少なくとも1枚の基板はシリコンを含有し、

上記エピタキシャル層はゲルマニウムを含有する、請求項120記載の方法。

【請求項125】 上記処理するステップは金属層を形成し、

上記アニール温度は上記金属層の特性に関係した温度よりも低い、請求項120記載の方法。

【請求項126】 上記処理するステップはアルミニウム層を形成し、

上記アニール温度は約450°C未満である、請求項120記載の方法。

【請求項127】 上記アルミニウムと基板の間のバリアメタルを形成するステップを更に有し、

上記アニール温度は約450°C乃至550°Cの範囲に収まる、請求項126記載の方法。

【請求項128】 上記処理するステップは少なくともドープト領域を形成し、

アニーリングするステップの後に、少なくとも一つの金属層を形成するステップを更に有し、

上記アニール温度は約800°C未満である、請求項120記載の方法。

【請求項129】 上記アニール温度は約400°C以上である請求項120記載の方法。

【請求項130】 上記処理するステップは、全ての能動装置及び相互連結を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項120記載の方法。

【請求項131】 上記処理するステップは少なくとも1個のMOSFET制御装置を形成する、請求項120記載の方法。

【請求項132】 複数の半導体基板から半導体装置を製造する方法であつて、

少なくとも1枚の基板の少なくとも一方の面を処理するステップと、

複数の横方向に離間したライフタイムキーリング打込み領域を画成するため、所定のパターンで、上記処理された面の反対側の少なくとも1枚の基板の領域を打込むステップと、

上記少なくとも一方の処理された面が上記半導体装置の外面を画成するように

、上記処理された基板を一体にボンディングするステップと、

上記少なくとも一方の処理された面及び上記打込まれた領域に悪影響を与えないように、上記ボンディングされた一体の基板を比較的低いアニール温度でアニーリングするステップとを有する方法。

【請求項133】 上記ボンディングするステップの前に、上記少なくとも1枚の基板を薄膜化するステップを更に有する請求項132記載の方法。

【請求項134】 上記ライフタイムキリング打込み物は、プロトン、ヘリウム、炭素、酸素、アルゴン、シリコン、プラチナ、パラジウム、金、鉄、及び、ニッケルの中の少なくとも一つを含有する、請求項133記載の方法。

【請求項135】 上記処理するステップは金属層を形成し、
上記アニール温度は上記金属層の特性に関係した温度よりも低い、請求項132記載の方法。

【請求項136】 上記処理するステップはアルミニウム層を形成し、
上記アニール温度は約450°C未満である、請求項132記載の方法。

【請求項137】 上記アルミニウムと基板の間のバリアメタルを形成する
ステップを更に有し、

上記アニール温度は約450°C乃至550°Cの範囲に収まる、請求項136記載の方法。

【請求項138】 上記処理するステップは少なくとも一つのドープト領域
を形成し、

アニーリングするステップの後に、少なくとも一つの金属層を形成するステップを更に有し、

上記アニール温度は約800°C未満である、請求項132記載の方法。

【請求項139】 上記アニール温度は約400°C以上である請求項132記載の方法。

【請求項140】 上記処理するステップは、全ての能動装置及び相互連結
を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項132記載の方法。

【請求項141】 上記処理するステップは少なくとも1個のMOSFET

制御装置を形成する、請求項132記載の方法。

【請求項142】 複数の半導体基板から半導体装置を製造する方法であつて、

少なくとも1枚の基板の少なくとも一方の面を処理するステップと、

上記少なくとも一方の処理された面が上記半導体装置の外面を形成するように上記処理された基板をボンディングするステップと、

上記少なくとも一方の処理された面に悪影響を与えないように、上記ボンディングされた一体の基板を比較的低いアニール温度でアニーリングするステップとを有する方法。

【請求項143】 上記処理するステップは金属層を形成し、上記アニール温度は上記金属層の特性に関係した温度よりも低い、請求項142記載の方法。

【請求項144】 上記処理するステップはアルミニウム層を形成し、上記アニール温度は約450°C未満である、請求項142記載の方法。

【請求項145】 上記アルミニウムと基板の間のバリアメタルを形成するステップを更に有し、

上記アニール温度は約450°C乃至550°Cの範囲に収まる、請求項144記載の方法。

【請求項146】 上記処理するステップは少なくともドープト領域を形成し、

上記アニール温度は約900°C未満である、請求項142記載の方法。

【請求項147】 上記アニーリングするステップの後に、少なくとも一つの金属層を形成するステップを更に有する、請求項146記載の方法。

【請求項148】 上記処理するステップは少なくともドープト領域を形成し、

上記アニール温度は約800°C未満である、請求項142記載の方法。

【請求項149】 上記アニーリングするステップの後に、少なくとも一つの金属層を形成するステップを更に有する、請求項148記載の方法。

【請求項150】 上記アニーリングするステップの後に、上記半導体装置

をカッティングするステップを更に有し、

上記アニール温度は、カッティングを許容する所定の表面エネルギーを与えるのに十分である、請求項142記載の方法。

【請求項151】 上記アニール温度は約400°C以上であり、上記所定の表面エネルギーは約800 ergs/cm²以上である、請求項150記載の方法。

【請求項152】 上記アニーリングするステップは、所定の時間に亘ってアニーリングする、請求項142記載の方法。

【請求項153】 上記処理するステップは、全ての能動装置及び相互連結を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項142記載の方法。

【請求項154】 上記基板はシリコンを含有し、上記ボンディングするステップの前に、シリコン面を水素終端化するステップを更に有する請求項142記載の方法。

【請求項155】 炭化水素と金属の少なくとも一方を除くため、ボンディングされる面を洗浄するステップを更に有する請求項142記載の方法。

【請求項156】 上記処理するステップは少なくとも1個のMOSFET制御装置を形成する、請求項142記載の方法。

【請求項157】 上記複数の基板は2枚であり、上記処理するステップは両方の基板を処理する、請求項142記載の方法。

【請求項158】 複数のシリコン基板から半導体装置を製造する方法であつて、

少なくとも1枚のシリコン基板の少なくとも一方の面を処理するステップと、少なくとも一方の処理された面が上記半導体装置の外面を構成するように、上記処理されたシリコン基板と水素終端化された面を一体にボンディングするステップと、

上記ボンディングされた一体のシリコン基板を約800°C未満のアニール温度でアニーリングするステップとを有する方法。

【請求項159】 一体にボンディングされるシリコン面を水素終端化する

ステップを更に有する請求項158記載の方法。

【請求項160】 上記アニール温度は約400°C以上である、請求項158記載の方法。

【請求項161】 上記処理するステップは、全ての能動装置及び相互連結を形成するため、上記少なくとも1枚のシリコン基板を完全に処理する、請求項158記載の方法。

【請求項162】 炭化水素と金属の少なくとも一方をボンディングされる面から除く洗浄ステップを更に有する請求項158記載の方法。

【請求項163】 上記処理するステップは少なくとも1個のMOSFET制御装置を形成する、請求項158記載の方法。

【請求項164】 上記複数の基板は2枚であり、

上記処理するステップは両方の基板を処理する、請求項158記載の方法。

【請求項165】 複数のシリコン基板から半導体装置を製造する方法であつて、

少なくとも1枚のシリコン基板の少なくとも一方の面を処理するステップと、炭化水素と金属の少なくとも一方を除くため、ボンディングされる面を洗浄するステップと、

少なくとも一方の処理された面が上記半導体装置の外面を形成するように、上記処理されたシリコン基板及び上記洗浄されたシリコン基板を一体にボンディングするステップと、

上記ボンディングされた一体のシリコン基板を約800°C未満の比較的低いアニール温度でアニーリングするステップとを有する方法。

【請求項166】 上記アニール温度は約400°C以上である、請求項165記載の方法。

【請求項167】 上記処理するステップは、全ての能動装置及び相互連結を形成するため、上記少なくとも1枚のシリコン基板を完全に処理する、請求項165記載の方法。

【請求項168】 上記処理するステップは少なくとも1個のMOSFET制御装置を形成する、請求項165記載の方法。

【請求項169】 上記複数の基板は2枚であり、
上記処理するステップは両方の基板を処理する、請求項165記載の方法。

【請求項170】 複数の半導体基板から半導体装置を製造する方法であつ
て、

金属層を形成するため、少なくとも1枚の基板の少なくとも一方の面を処理す
るステップと、

少なくとも一方の処理された面が上記半導体装置の外面を構成するように、上
記処理された基板を一体にボンディングするステップと、

上記ボンディングされた一体の基板を上記金属層の特性に関係した温度よりも
低い比較的低温のアニール温度でアニーリングするステップとを有する方法。

【請求項171】 上記アニール温度は、上記金属層の融点と、上記金属と
上記基板の反応温度の少なくとも一方に関係した温度である、請求項170記載
の方法。

【請求項172】 上記処理するステップはアルミニウム層を形成し、
上記アニール温度は約450°C未満である、請求項170記載の方法。

【請求項173】 上記アルミニウムと基板の間のバリアメタルを形成する
ステップを更に有し、

上記アニール温度は約450°C乃至550°Cの範囲に収まる、請求項172記
載の方法。

【請求項174】 上記処理するステップは、全ての能動装置及び相互連結
を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項170記
載の方法。

【請求項175】 上記処理するステップは、全ての能動装置及び相互連結
を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項170記
載の方法。

【請求項176】 上記基板はシリコンを含有し、
上記ボンディングするステップの前に、シリコン面を水素終端化するステップ
を更に有する請求項170記載の方法。

【請求項177】 上記処理するステップは少なくとも1個のMOSFET

制御装置を形成する、請求項170記載の方法。

【請求項178】 上記複数の基板は2枚であり、

上記処理するステップは両方の基板を処理する、請求項170記載の方法。

【発明の詳細な説明】

【0001】

本発明は、半導体の分野に係り、特に、電力半導体装置の製造方法、及び、この方法により製造される半導体装置に関する。

【0002】

電力スイッチング装置は、たとえば、モータ制御、インバータ、回線スイッチ、パルス回路及びその他の電力スイッチングアプリケーションのような多数のアプリケーションで広範に使用されている。シリコン制御型整流器（S C R）若しくはサイリスタは、4層のシリコンから形成される双安定半導体スイッチング装置である。電力スイッチング装置の一つのタイプであるM O S制御型サイリスタ（M C T）は、特に、共振（零電圧又は零電流）スイッチングアプリケーションに好適である。M C Tは、S C Rと非常に類似した順方向電圧降下を有し、伝導電力損失が著しく低減される。M C Tは、非常に少ない量の入力エネルギーを用いて高電力回路を制御することができる。この特徴はS C Rにも共通した特徴である。M C Tの場合に、ターンオフは、サイリスタの一方若しくは両方のエミッタ・ベース接合を短絡するため、高度に組み合わされたオフセットをターンオンすることによって実現される。

【0003】

別の有利な電力スイッチング装置は、スイッチングレギュレータやモータ駆動装置のような高電圧、低散逸アプリケーションのため設計された絶縁ゲートバイポーラトランジスタ（I G B T）である。I G B Tは、低電力集積回路から動作させることができる。I G B Tは、絶縁ゲート型であり、M C Tと同じ電界制御型スイッチング装置である。入手可能なM C T及びI G B Tは、たとえば、電力ダーリントトランジスタで一般的に実現されるよりも高いスイッチング周波数で有用である。その上、M C T及びI G B Tは、150°C以上の接合温度で動作し、600ボルト以上のスイッチ定格を有するスイッチング回路内で動作する。

【0004】

電力スイッチング装置を製造する一つの解決法は、半導体-半導体の直接ウェーハボンディングである。ウェーハボンディングは、たとえば、厚さ100μm

の厚いエピタキシャル層成長を置き換える目的で行われる。このボンディングアブリケーションの場合、約1100°C以上の温度の高温ボンディングアニールは、マイクロ波及びバブルを取り除くため典型的に使用される。疎水性及び親水性の両方のボンディングが使用される。

【0005】

近年、ターンオフがより高速に行えるように表面及び裏面の両方にMOSFET電流制御装置が設けられたスイッチング電源を製造する可能性への関心が高まりつつある。このような電源は、たとえば、Abbasに発行された米国特許第4,977,438号に記載されている。両面に設けられたMOSFET制御型の電源を製造するための従来の解決法は、ウェーハの両面でプロセス及び写真ステップを行う。熱源の非常に重要な制御を必要とするこの解決法は、製造ステップの数をおよそ2倍に増加し、スクランチなどによる歩留り損失を増加させる。

【0006】

Tu他に発行された米国特許第5,541,122号は、たとえば、2枚のウェーハが一つに接合され、800°C乃至1100°Cの範囲の温度でアニールされるIGBTの製造方法を開示する。N型ウェーハは、表面にN+ドープされ、IGBT用のN+バッファ領域を画成するためP+ウェーハに接合される。次に、ゲートが上面に形成され、種々の拡散が、ゲートを取り囲むエミッタ／コレクタを画成するためエミッタ・コレクタゲートの近くで行われる。エミッタ接点は拡散物上に形成され、コレクタ接点は従来の技術を用いてウェーハの下面側に堆積される。

【0007】

残念ながら、かなり高温のアニーリング及び後続の装置処理ステップは、バッファ層のドーピングプロファイルに悪影響を与える。したがって、ターンオフ速度は低くなる。さらに、アニーリング後の両面処理は、非常に多数のプロセスステップを必要とし、基板は歩留りを低下させる機械的損傷を受けやすい。

【0008】

上記の背景技術を鑑みて、本発明の目的は、容易に製造できる半導体装置に改良された特徴及び特性を与えることである。

【0009】

本発明の上記並びにその他の目的、効果及び特徴が得られる第1実施例の半導体装置は、横方向に拡がる半導体ベースと、ベースに隣接し、第1導電型ドーパントを有するバッファと、バッファに隣接し、ベースの反対側にあり、第2導電型ドーパントを有する横方向に拡がるエミッタとを含む。バッファは非常に薄型であり、電流増大に対する負の温度係数と順方向電圧に対する正の温度係数を半導体装置に与えるため、隣接したエミッタ部の第2導電型ドーパント濃度よりも高い第1導電型ドーパント濃度を有する。電流増大に対する負の温度係数は、半導体装置の熱的放出を減少させ、より良好な短絡保護を与える。

【0010】

ベースは、バッファ内に第1導電型ドーパント濃度よりも低い濃度の第1導電型ドーパントを含有してもよい。また、バッファは、約10ミクロン未満の厚さでもよく、より好ましくは、約200乃至500ナノメートルの範囲の厚さをもつ。バッファのドーパント濃度は、好ましくは、一実施例では、約 3×10^{-6} cm⁻³以上であり、他の実施例では、約 1×10^{-7} cm⁻³以上である。

【0011】

ベースとエミッタの中の少なくとも一方はシリコンを含み、一実施例において、バッファはシリコンを含有する。他の実施例では、バッファはゲルマニウムを含有する。

【0012】

半導体装置は、以下に詳述するように低温ボンディングに従って形成される。したがって、一実施例において、装置は、エミッタとバッファの間に接合された界面（接合界面）を更に有する。接合界面は、バッファとベースの間に設けてよい。接合界面は、好ましくは、実質的に酸化物を含まない。

【0013】

この装置の一変形例において、エミッタは、バッファに隣接したエピタキシャル部分と、エピタキシャル部分に対向した第2の部分とを有する。さらに、半導体装置は、第1の部分と第2の部分の少なくとも一方の部分に形成されたMOSFET電流制御装置、若しくは、その他の電流制御装置を含む。

【0014】

本発明による更に別の装置は、逆極性にドープされた第1の横方向延在部分と第2の横方向延在部分の間に横方向に拡がる局在化ライフタイムキル部を含む。局在化ライフタイムキル部分は、横方向に制限され、横方向に隙間が設けられた複数のライフタイムキル領域を有する。接合界面は、局在化ライフタイムキル部分と、第1の部分又は第2の部分のいずれか一方との間に設けられる。界面は実質的に酸化物を含有しない。ライフタイムキル領域は、好ましくは、たとえば、約10ミクロンのような所定の距離で接合界面から縦方向に間隔が設けられる。

【0015】

各ライフタイムキル領域は、欠陥と打込み不純物の中の少なくとも一方を含む。さらに、ライフタイムキル領域は、直径約2～2μmの円形状であり、約5～20μmの間隔がある。あるいは、各ライフタイムキル領域は、約2乃至20ミクロンの幅を有する帯状領域でもよい。隣接した帯状領域は、約5乃至20ミクロンずつ離間する。

【0016】

本発明の他の局面は、一つ以上のPN接合を有する装置に関係する。半導体装置は、第1導電型ドーパントを含み横方向に延在する第1の部分と、第1導電型ドーパントを含み第1の部分上で横方向に延在する第2の部分と、第1の部分と第2の部分の界面に隣接した第1の部分に形成され、少なくとも一つのPN接合を画成する第2導電型の少なくとも一つのドープト領域とを有する。また、導電層は、PN接合の抵抗を下げるため、少なくとも一つのドープト領域と第2の部分の間に配置してもよい。導電層は、たとえば、金属又は珪素化合物である。

【0017】

PN接合の一つの実現形態は、縦型接合電界効果トランジスタを画成するように離間した接合を設けることである。導電層は格子状に配置してもよく、この場合に装置は浸透ベーストランジスタである。第1の部分と第2の部分の中の少なくとも一方はシリコンでもよい。また、接合界面は、第1の部分と第2の部分の間に設けられる。接合界面は、好ましくは、実質的に酸化物を含まない。

【0018】

本発明は、第1導電型ドーパントを含み横方向に延在する第1の部分と、第1

導電型ドーパントを含み第1の部分上で横方向に延びる第2の部分と、第2導電型ドーパントを含み第2の部分上で横方向に延びる第3の部分とを有する半導体装置にも関係する。第1の部分と第2の部分の中の少なくとも一方は、好ましくは、第3の総のドーパント濃度よりも高いドーパント濃度を有する。さらに、装置は、好ましくは、第1の能動制御装置が第1の部分の外面上に設けられ、第2の能動制御装置が第3の部分の外面上に設けられる。

【0019】

以下、本発明の好ましい実施例が示された添付図面を参照して、本発明を詳細に説明する。しかし、本発明は、多数の異なる形態で実現され得るものであり、以下に説明される実施例に限定されるものではない。むしろ、これらの実施例は、本発明の開示が貫徹し、本発明の範囲を当業者に十分に伝えるために与えられるものである。図面を通じて、同じ参照番号は同じ要素を指定する。

【0020】

最初に図1に示されたフローチャート50を参照して、本発明の製造方法の局面について説明する。本実施例において、第1のウェーハ及び第2のウェーハが処理される。同図において、第1のウェーハに対する処理ブロックには添え字“a”が付けられ、第2のウェーハに対する処理ブロックには添え字“b”が付けられる。以下では、第1のウェーハに対する処理ステップだけを詳細に説明するが、当業者は、本実施例では、第2のウェーハに対しても類似した処理ステップが選択的に実行されることを容易に認めるであろう。

【0021】

この方法はステップ51で始まり、ステップ52aで、ゲッター層が第1のウェーハの第2面、すなわち、B面上に形成される。ゲッター層は、当業者には容易にわかるように、たとえば、ホウ素のような汚染物質を除去するのに有効である。ゲッター領域は、薄膜化及び直接ボンディングの前に、ウェーハの塊からゲッター部位にライフタイムキル用遷移金属を拡散する。当業者には明らかなように、典型的なゲッタリング技術には、ウェーハのB面へのリン拡散、イオン打込み、又は、アルゴン若しくは炭素、及び／又は、ポリシリコン堆積が含まれる。

【0022】

ステップ54aにおいて、一つ以上の能動装置が第1のウェーハの第1面、すなわち、A面に形成される。能動装置は、当業者には明らかなように従来技術によって形成されるような一つ以上のドープト領域を含む。一実施例において、以下に詳述するように金属相互連結が形成される。典型的な処理ステップは、打込み、拡散、金属堆積、ポリシリコン堆積、珪素化合物形成、酸化物成長などの中の少なくとも一つを含む。同型若しくは異型のMOSFET電流制御型装置が第1及び第2の基板上に製作される。本発明に従って形成された装置は、当業者には明らかなように、縦型方向に、すなわち、一体的に接合された表面の間に形成される界面に対し直角方向に電流導通を有するよう決められる。片面装置若しくは両面装置を動かすためには、一般的に界面全体に導電率変調用の少数キャリアのフローが必要とされる。装置がN-ベースを有するとき、導電率変調を生じさせるため、高密度の正孔（少数キャリア）をN-ベースに注入することが望ましい。導電率変調の条件は、ベース内の電子と正孔の密度が等しくなることである。導電率変調は、電子密度をその平衡値よりもかなり増加させるので、当業者には明らかなように、N-ベースの抵抗が著しく下げられる。

【0023】

第1のウェーハは、ハンドリングウェーハ又はサポートフィルムに固定され（ステップ56a）、ステップ58aにおいて、第1のウェーハはB面側が薄くされ、これにより、ゲッタリング層及びゲッタリング層に含まれる汚染物質が取り除かれる。ウェーハは、たとえば、約200μm未満の厚さまで減らすために研削によって薄くされるが、一部のアプリケーションではより薄いウェーハが好ましい。ハンドリングウェーハ又はサポートフィルムは、薄膜化後に取り除かれる。

【0024】

B面は、ステップ60aで、炭化水素の空隙を最小限に抑え、最終的な接合界面の酸素を減少させるため、研磨、洗浄される。金属接合パッドのような金属が表面に露出される場合、ウェーハの洗浄に使用される化学薬品から金属を保護することが有利である。このため実現可能な一つの技術は、耐化学薬品性のある保護絶縁層を堆積させることである。絶縁層は、ウェーハが接合された後に除去で

きる。化学機械的研磨 (C M P) のような研磨処理が使用され、B面の表面は約 1 nm 未満の二乗平均 (R M S) 表面粗さをもつ。約 10 nm 未満の表面粗さは、二つの基板を一つに直接ボンディングすることが望ましい。さらに、ボンディングプロセスに圧力が使用される場合、表面粗さは多少悪くても許容される可能性がある。ウェーハは、厚い誘電層の存在に起因して歪む傾向があるので、ボンディング中に圧力が必要とされる。勿論、ボンディングは、当業者には明らかかなように、たとえば、200°Cから400°Cに上昇した温度で実行してもよい。

【0025】

洗浄は、表面から炭化水素、有機物、及び、金属不純物を取り除くことである。洗浄プロセスは、当業者には明らかかなように、一般的に、R C A クリーン及びピラニアクリーンズで使用されるような化学薬品を使用する。プラズマ、U V、オゾン、及び、レーザー照射は、ボンディング前に表面を洗浄するため使用される。

【0026】

自然酸化物を取り除くため、エッティングが希釈フッ化水素 (11 F) 酸を用いて行われる。ボンディング前に自然酸化物の再成長を最小限に抑えることが望ましい。シリコンの場合、一つの解決法は、希釈HFエッチを用いてシリコン表面を水素終端化し、続いて、無水すぎ、若しくは、最小限の水洗を行うことである。自然酸化物を最小限に抑えるための別のより複雑な解決法は、真空、又は、酸素濃度が最低限に抑えられた精製された窒素、アルゴン、若しくは、水素のような環境で2枚のウェーハを直接的に接合することである。実現可能な接合アニール環境には、窒素、酸素、アルゴン、水素が含まれる。アニール時間と共に接合強度が増加する一つの実現可能なメカニズムは、水素が接合界面に沿って横方向に拡散し、ウェーハから放出されるメカニズムである。環境は、水素が横方向に拡散する容易さの程度に影響を与える。

【0027】

当業者には明らかかなように、自然酸化物は、界面を通過する電流フローを妨げる。疎水性方式は炭化水素吸収の影響を受け易いが、界面に薄い酸化物が存在する親水性ボンディング方式は炭化水素吸収の影響を受け難い。

【0028】

水素終端化されることは、当業者には明らかなように、表面積の大部分で酸素が失われることを意味する。換言すると、表面に存在する自然酸化物又は酸素が取り除かれるか、或いは、最小限に抑えられる。さらに、洗浄は、炭化水素又は金属のような汚染物質を接合されるべき表面から除去するために望ましい。界面にも酸化物が含まれないと考えられる。電力スイッチング装置は、非常に薄い酸化物層が存在しても動作することができる。しかし、酸化物層は、電子と正孔の両方が酸化物を通り抜け得るように十分に薄くしなければならない。たとえば、酸化物層は、満足できる動作のためには約1 nm未満であることが望ましい。

【0029】

ステップ62aにおいて、第1のウェーハのB面は、以下に詳述されるように、ライフタイムキルのため、及び／又は、電力装置内の層に対するドーパントが選択的に打込まれる。たとえば、プロトン、ヘリウム、炭素、アルゴン、酸素などのイオン打込みが使用される。プラチナ若しくは金のようなライフタイムキル金属は、表面に打込み若しくは拡散される。金属を拡散するために必要とされる温度は、一般的に約450°Cよりも高いので、アニール中に裏面にアルミニウムを用いることはできない。

【0030】

順方向電圧対ターンオフ時間の関係を最適化するため、電力装置は、均一なライフタイムキルではなく、局在化されたライフタイムキル領域を設けることが望ましい。特に、ライフタイムキル領域は、当業者には容易に理解されるように、P+エミッタ陽極の裏面付近にあるN型ベース領域、及び／又は、IGPT若しくはMCTのP+エミッタ内に局在化させることが屡々望まれる。ライフタイムキル打込みを横方向並びに縦方向に局在化することが有利である。この場合、フォトリソグラフィステップ、又は、金属メッシュは、ある領域内でより高いエネルギープロトンを横方向に制限するため使用される。

【0031】

ウェーハと基板の一方又は両方の接合界面、若しくは、接合界面付近に極薄ドーパント層を設けることが望ましい。全ての高温処理ステップは薄膜化前にウェ

一ハ上で行われるため、薄い領域内でドーパントを拡散させる高温ステップが後で必要とされないので、接合界面、若しくは、接合界面付近の極薄ドーパント層は、イオン打込み又はレーザードーピングによって獲得される。打込まれたドーパントのレーザーアニーリングは、当業者には容易に認められるように、ドーパントを活性化するため行われる。

【0032】

他の例として、フォトリソグラフィステップは、イオン打込みドーパントの場所を決めるため使用される。たとえば、ある種の場合には、IGBT若しくはMCTに対し、高速ターンオフを実現するため少数キャリアのチップ外側付近の領域への注入は殆ど生じないように、N+バッファ層への打込みを決めることが望ましい。

【0033】

ウェーハ上には、典型的に複数の個別のダイが設けられるので、これらのダイはテストされ（ステップ64a）、そのテスト結果は、第2の基板との相関のために後で使用され、これにより、全体的なプロセス歩留りが改善される。しかし、本発明の更に別の局面は、外側ストリートに沿ったウェーハのカッティングに関係する（ステップ66a）。これにより、第1のウェーハと第2のウェーハがステップ68で精密に位置合わせされる。ウェーハが適切に位置合わせされた後、ウェーハは中心点に集められ、原子ボンディングによってウェーハが一體的に中心から外側に広げられることによって接合される。ある種の実施例では、ボンディングプロセス中、極高真空若しくは超高真空であることが望ましい。2枚のウェーハは、当業者には明らかなように、2枚のウェーハの結晶方位に基づいて整列させてもよい。

【0034】

ステップ70で、低温アニールが実行される。特に、後でアルミニウムが添加される場合、温度は約800°C未満であるが、アルミニウム金属相互連結が既に設けられている場合には、450°C以下でもよい。バリアメタル層がアルミニウムとシリコン基板の間に設けられている場合、たとえば、より高温の約450乃至550°Cのアニールも許容される。最良の総収量は、2枚のウェーハがボンデ

イング前に完全に処理されている場合に達成される。

【0035】

上述の通り、重要な接合強度の要求条件は、強度が400°Cのアニールの間にソーリング又はダイシングを行うために十分なことである。したがって、800 ergs/cm²の接合界面エネルギーが経験的に要求される。400°Cのアニールは、当業者には明らかなように、潜在的にSi-Al共晶の形成を遅らせ得るために十分に低温である。他の実施例の場合に、レーザーカッティングが使用され、当業者には明らかなように、より低い接合強度が許容される。

【0036】

ステップ74において、更なる処理が必要ではない場合、個別の装置のダイ/回路が一体的に接合されたウェーハから、当業者には公知の従来技術を用いてダイシングされる。本発明に従って製作された電力スイッチング装置は、ボンディング界面を通過して、すなわち、ボンディング界面と垂直方向に電流輸送がある。

【0037】

本発明の方法は、順次的なプロセスステップの数が従来技術の約半分に著しく削減された両面MOSFET制御型電力スイッチング装置の製造方法である。直接ボンディング法は、片面電力装置を製造する従来の製造レシピを称することができ、別個のプロセスシーケンスを開発する必要がない。本発明は、アニールが基板の表面の一つのドーパントに対し最適化され、裏面の別のドーパントに対しては最適化されないので、従来の処理のような熱源の厳しい制御を回避する。従来の手法は、スクラッチなどによる歩留りの損失を招く。本発明は、これらの欠点を解決し、ゲッタリング動作によってボンディング前に金属不純物を取り除くことができる。歩留りは、作業用ダイを2枚のウェーハにマッピングし、最良の歩留りが得られるようにウェーハの位置を合わせることによって最適化される。本発明による処理後の直接ボンディングは、たとえば、高性能のIGBT、MOSFET、及び、MCTを実現するため使用される。直接ボンディッド（接合型）装置は、超薄型N+バッファ層を有し、以下に詳細する代替的な手法よりもターンオフ時間を著しく改良することができる。また、直接接合型IGBT及びM

CTの新規特徴は、電流増大に対する負の温度係数によって得られる順方向電圧に対する正の温度係数を有することである。

【0038】

第1の基板内のシリコンMOSFET電流制御電圧装置をSiC材料を含有する第2の基板に接合する点も有利である。第2の基板の他の材料候補には、GaN、InP、及び、GaAsが含まれる。SiCのようなワイドバンドギャップ材料は、一般的に、電気的破壊の高い臨界フィールドと、高い飽和ドリフト速度とを有する。したがって、ワイドバンドギャップ材料は、電力装置内の空乏層の間の殆どの高電圧降下をサポートするため使用するのが望ましい。第2の基板の材料としてシリコン以外の材料を選択する別の理由は、高熱伝導率を得るためにである。SiCは、シリコンの3倍の熱伝導率を有するので、第2の基板に使用される。勿論、他の実施例において、二つ以上のシリコン以外の基板が処理され、本発明に従って接合されてもよい。

【0039】

図2乃至5を参照するに、本発明の一局面は、2個のMOSFET電流制御装置を2枚の別々のウェーハ上に製作し、裏面から約200μmまでウェーハを薄くし、ウェーハの位置合わせされたボンディングを行うことにより、低温直接半導体-半導体ウェーハボンディングを用いて両面MOSFET制御型電力スイッチング装置を実現する方法である。この手法の最大の利点は、2枚のウェーハがボンディング前に殆ど完全に処理されている場合に得られる。この場合、アルミニウム相互連結は、表面上に存在し、最大許容ボンディングアニール温度は約450°Cである。バリアメタルがアルミニウムとシリコン接合の間に使用されるとき、約450乃至550°Cのボンドアニール温度が使用される。金属相互連結が存在しない場合には、より高い温度のボンディングアニールが許容される。この場合、MOSFET電流制御ウェーハは、コンタクト窓フォトステップによって製作される。一つの重要な要求条件は、ボンディングアニールがソース/ドレイン打込み物の過剰な拡散を生じさせないことであり、このとき、800乃至900°Cの範囲内のボンドアニール温度が許容される。

【0040】

第1の基板80の初期処理は図2に示されている。第1の基板80は、両面MCT110(図6)を生成するため、当業者には明らかに第2の基板95に直接ボンディングされる。ゲッタリング打込み91は、既に詳述したように行われる。次に、図3に示されるように、種々のドーパント領域が基板80の上面に、第2のゲート領域81と共に形成される。例示された処理済み部分は、N型ベース82と、N型ベース上のN型バッファ層83と、P型ベース上のP+エミッタ85とを含む。基板80は、アノード層86及びN+領域87を更に有する。

【0041】

第1の基板80は、ハンドリング基板90若しくはウェーハに連結され、ゲッタリング層91は、図4に示される中間構造体を生成するため薄膜化によって取り除かれる。ライフタイムキリング(ライフタイムキラー)打込み92は、図5に概略的に示されるように基板80に形成される。図6において、かくして処理された第1の基板80は、洗浄、直接ボンディング、及び、低温アニール後に、第2の基板95に接合される。第2の基板95は、たとえば、N型ベース96と、N型ベース上のP型ベース97と、N型ベース上のN+エミッタ98と、第1のゲート99と、カソード層100と、例示的なP+領域101とを含む。第2の基板95は、たとえば、ライフタイムキリング打込み102を更に含む。界面103は、第1の基板80と第2の基板95の間に概略的に示されている。

【0042】

低温直接ボンディングを用いて両面スイッチング電力装置を実現するために特別の考慮がなされる。第1の要求条件として、ボンディング界面の間に略理想的な電流導通が要求される。このため、ボンディング界面に存在できる自然酸化物は最低限に抑えられる。先行の研究成果によると、シリコン表面が水素終端化される疎水性ボンディングを使用することによって、最小限の自然酸化物を含むボンディング界面が獲得される。表面洗浄作業中に、ホウ素及び重金属汚染物質を減少させることに更なる考慮が必要である。別の要求条件は、バブル及び微小ボイドがボンディング界面で最小限に抑えられることである。

【0043】

低温で疎水的にボンディングされたウェーハは、特に、炭化水素で生成されたボイドの影響を受けやすく、炭化水素を取り除く洗浄処理に特別の注意を払うべきである。さらに別の要求条件は、ボンディングインターフェースでの少数キャリアの再結合が少ないことである。低温直接ボンディングは、従来の（1100°Cを超える）高温アニールボンディングに対し、欠陥を形成するドライブエネルギーが小さいので、低温でボンディングされた界面に含まれる2枚のウェーハの格子間方向不一致による欠陥の数が減少する点で有利である。

【0044】

図7乃至12を参照するに、ボンディングの実験から得られる結果は、N型対N型、並びに、P型対P型のシリコン<100>ウェーハが、伝導帯又は価電子帯のいずれかに電位バリアを生成することなく、低温度アニールを用いて疎水的にボンディングされ得ることである。水素終端化された表面を実現するため使用される処理は、O₂ プラズマとpiranhaクリーンの組み合わせを含み、続いて、10:1のHFディップが行われ、HFディップの後に水洗は行われない。多数のアニール温度に対するN型ウェーハとN型ウェーハの電気的データは、図7に示されている。

【0045】

電位バリアの存在は、低バイアスに対する抵抗の非線形性として抵抗特性に現れる。600°C及び700°Cのアニールに対し電位バリアは現れない。抵抗は、800°Cのアニールに対し増加し、非線形であり、バリアの形成を示す。1000°Cのアニールに対し、抵抗は減少し、非線形性はない。接合する必要がない場合、800°Cアニールに対し観察される電位バリアは、大気から吸収されたホウ素によってボンディング前にウェーハ表面に存在するホウ素の活性化により誘起される。1000°Cのアニールの場合に、ホウ素は界面から拡散され、電位バリアの高さを減少させる。

【0046】

さらに、所定の面積に対する抵抗の面積及び変動の関数で表される抵抗の依存性は、接合界面の品質を評価するため調べられた。図8は、抵抗と、面積の逆数との関係と、400°Cで9時間に亘ってアニールされたN型ウェーハ対N型ウェ

ハに対する抵抗値のばらつきのプロットとを示している。図9は、400°Cで24時間に亘ってアニールされたP型対P型ボンドの類似した結果を示している。

【 0 0 4 7 】

低温疎水性ボンディングによって調製されたP-N接合の電気特性も調べられた。図10には、600°Cボンドアニールの間に疎水的に接合されたP型ウェーハとN型ウェーハから製作された20個のダイオードの順方向及び逆方向の電流・電圧特性が示されている。リーク電流密度は、疎水的に接合されたウェーハの場合に約40nA/cm²である。この測定結果は、面積への強い依存性を示し、最小面積のダイオードが最大の理想係数値をもつ。理想係数値が1.0よりも増大する原因是、典型的に、冶金学的接合又は装置の周囲で起こる少数キャリアの再結合である。面積に対する測定された依存性は、高い理想係数がパッシベーションされていないソーアイングされたメサのエッジで生じる再結合によることを示している。理想係数は、ダイオードの面積が増加すると共に1.0の値に達する。低温接合された装置には最良の理想係数が存在する。

[0 0 4 8]

電気特性の他に重要な要求条件は、スイッチング電力装置のソーキング又はダシングを行うため、ボンド強度が400°Cのアニールに対し十分な強度を持つことである。経験上、 800 ergs/cm^2 を上回るボンド界面エネルギーは、十分なボンド強度を与えるため要求される。図12は、400°Cでのボンド反応速度に対する1次反応を表すボンド強度がアニール時間と共に対数的に増加することを示している。400°Cのアニールが選択される理由は、この温度は十分に低く、Si-Al共晶の形成を遅らせる可能性があるからである。

[0 0 4 9]

実験的な測定によると、低温直接ウェーハボンディングは、2重ゲートMOSFET制御型スイッチング電力装置を製造する適当な方法であることがわかる。ボンディング界面を通る略理想的な電気伝導率は、400°C乃至700°Cのボンドアニール温度の場合に得られる。開発された疎水性洗浄プロセスは、炭化水素生成されたボイドを最小限に抑え、ボンディング界面で非常に僅かの酸素しか含

まない。1000 ergs/cm² のボンド界面エネルギーは、400°Cで約9時間のアニールの間に獲得され、これは、ウェーハのソーキングを許容するため十分である。

【0050】

図13を参照して本発明の別の面を説明する。低ボンディングアニール温度が本発明に従って使用されるため、必要に応じて、界面のPN接合に低抵抗が得られるように、ボンディングの前に、一方若しくは両方の基板に形成される金属若しくは珪素化合物のラインを画成することが可能である。低抵抗性金属又は珪素化合物ストラップ型PN接合を実現する実施可能なプロセスは、図13に示されるように、P型ドーパント121を、中間構造体120のN型基板122に確実に打込むフォトリソグラフィステップを使用することである。第2のフォトステップは、P型ドーパント領域121内に金属若しくは珪素化合物片123の場所を画成するため使用される。レジストマスクは、約100nmのシリコンをエッチングするため使用される。約30nmのタンクステンは蒸着される。レジスト表面上の余分なタンクステンは、リフトオフにより除去され、次に、タンクステン珪素化合物123を形成するためアニールが行われる。当業者には容易に理解されるように、別の解決法は、隣接したシリコン表面と共にシリコン表面バックプレーンに形成された珪素化合物を研磨するため研磨技術を使用することである。この珪素化合物は、ゲート・ターンオフ・サイリスタのP型ベース抵抗を下げるよう、ブランケットドーピング層の抵抗を下げるため使用される。

【0051】

図14を参照するに、低抵抗性PN接合のグリッドは、縦型JFET130のゲートとして使用される。図示された接合131及び132のペアは、接合に直交した電流フロー、すなわち、界面134を通過する電流フローを変調するため使用される。勿論、複数の接合を形成してもよい。デプレッショングループ135は、当業者には明らかなように、Pドープ領域123の周りに形成される。本発明の更に別の変形例では、MOSゲートは、トレンチの側面に形成され、電流が零ソース・ゲート間バイアスのチャネルの間で導通するデプレッショングループで動作する。二つの基板125と122の界面の珪素化合物ラインのグリッドは、

当業者には容易に認められるように、逆バイアスされたショットキーダイオードが珪素化合物ライン123のグリッドと直交した電流フローを変調するため使用される透磁性ペーストランジスタを形成するため使用される。

【0052】

上記P-N接合、低抵抗性P型ベース層、及び、ショットキーダイオードに対し、いずれかの基板の上面から珪素化合物への接点を設ける必要がある。バイアスは、珪素化合物若しくは金属層をエッチストップ層として使用して、いずれかの基板の上面から珪素化合物若しくは金属層に化学的又はプラズマエッティングされる。別の適当な技術は、上面125(図13)を貫通するバイアをレーザードリル加工し、金属若しくは珪素化合物層で停止することである。

【0053】

本発明の更に別の局面は、ボンディング前に一方若しくは両方の基板上に半導体層をエピタキシャル成長させ得ることである。アルミニウム相互連結が基板上のあるとき、エピタキシャル成長は、450°C未満の温度で行われ、バリアメタル層が上述の如く使用される場合には、450°C乃至550°C以下で行われるべきである。

たとえば、図15に示されるように、第2の基板150へのボンディング前に、基板145のシリコン表面上にSiGeヘテロ接合層141を画成するため、超薄型N+バッファ層を成長させ得る。完成体のIGBT140は、アノード層142と、アノードに隣接したP+基板エミッタ層143と、界面144に隣接したSiGeバッファ層141とを含む。上面150は、外部エミッタ層151と、ゲート層152と、その下にある絶縁層153とを有する。上面150は、上述のライフトライムキーリング打込み156を含むN型ベース155を更に有する。上面150のその他のドープト領域は、当業者に良く知られているのでこれ以上の説明を行わない。適切に構成されたSiGeベース・エミッタ間ヘテロ接合は、電流増大に対し負の温度係数を有し、順方向電圧に対し正の温度係数を有する。この特性は、当業者には明らかなように、短絡保護を行い、熱放散の阻止を助ける。

【0054】

ボンディング前に基板の表面に超薄型高濃度ドーパント層を成長させることができ。たとえば、図16のIGBT160に示されるように、超薄型N+バッファ層161は、下側基板162上で成長させられる。図16のIGBT160のその他の部分は、図15の部分と同様であり、同じ参照番号で示される。そのため、当業者にはこれ以上詳細に説明する必要はないであろう。N+バッファ層は、たとえば、砒素、アンチモン、又は、リンのような約 $1 \times 10^{19} \text{ cm}^{-3}$ の濃度のN型ドーパントを有する約200nmの膜厚の薄い層を、P+基板の表面に打込むことにより製造される。P+基板は、約 3×10^{16} 乃至 $1 \times 10^{19} \text{ cm}^{-3}$ の濃度のP型ドーパントを含む。基板は、当業者には容易に認められるように、イオン打込み中に形成された欠陥をアニールするため、約900乃至1000°Cの温度でアニールされる。

【0055】

N+バッファ層161が薄くなると共に、ターンオフ時間が速くなる。典型的に、ターンオフの直前に、蓄積されたベース電荷の大半は、N+バッファ層161付近、若しくは、N+バッファ層161内にある。したがって、当業者には容易に認められるように、N+バッファ層161が薄くなるのに応じて、蓄積されたベース電荷はP+コミッタ143に近づき、蓄積されたベース電荷がP+エミッタに到達し、再結合するために拡散しなければならない距離は短くなる。

【0056】

少数電荷キャリアの能動領域の外側領域への注入を阻止することが望ましい。注入を阻止する技術は、正孔の領域への注入効率を減少させることである。したがって、フォトリソグラフィステップが能動領域の外側への厚型N+イオン打込みを定めるため行われ、これにより、注入効率が低下される。ボンディング界面144に酸化物バリアを画成するような他の技術を使用してもよい。

【0057】

SiGe若しくは高いN型濃度ドーパントの薄型エピタキシャル層は、高性能IGBT若しくはMCTに主要な利点を与える。たとえば、薄型高濃度ドーパント層は、短いターンオフ時間と電流増大に対する負の温度係数とを得るために、IGBTのN+バッファに使用される。勿論、基板がN+エミッタとして使用さ

れるならば、当業者に容易にわかるように、装置はP+超薄型バッファ層が得られるように処理される。

【0058】

高ドープト半導体におけるバンドギャップ狭小化の半導体装置の物理的特性のため、N+バッファ層161のドーピング濃度はP+エミッタ143のドーピング濃度よりも高い場合に、IGBT160若しくはMCTの裏面エミッタの電流増大に対する負の温度係数が獲得できることがわかる。この原理の式は以下の通りである。

【0059】

電子注入効率 (EIE) = J_e / J_h

であり、かつ、

【0060】

【数1】

$$J_e = (qR_{ip}^2 D_p / N_A W_p) e^{qV/kT}; \quad J_h = qR_{in}^2 D_n / N_p W_e$$

である。短いベース、すなわち、 $w \gg L$ を仮定すると、

【0061】

【数2】

$$EIE = \frac{qR_{ip}^2 D_p / N_A W_p e^{qV/kT}}{qR_{in}^2 D_n / N_p W_e e^{qV/kT}} = \frac{R_{ip}^2}{R_{in}^2} \cdot \frac{Q_N}{Q_p}$$

$$R_{ip}^2 = N_p N_c e^{Eg/kT}$$

$$EIE = \frac{Q_N}{Q_p} \cdot \frac{N_p N_c}{N_n N_e} \cdot \frac{e^{Eg/kT}}{e^{Eg_N/kT}} = \frac{R_{ip}^2}{R_{in}^2} \cdot \frac{Q_N}{Q_p} \cdot e^{(Eg - Eg_N)/kT}$$

である。

【0062】

ケース1: $E g_N > E g_P \rightarrow + \delta E g$

【0063】

【数3】

$$EIE = \frac{Q_N}{Q_P} e^{-\delta Eg/kT} = \frac{Q_N}{Q_P} \cdot \frac{1}{e^{-\delta Eg/kT}}$$

したがって、温度が増加すると共にEIEは減少する。

【0064】

ケース2: $E g_P < E g_N$

【0065】

【数4】

$$EIE = \frac{Q_N}{Q_P} e^{\delta Eg/kT} \quad \underline{\delta Eg = Eg_P - Eg_N}$$

したがって、温度が増加すると共にEIEは減少する。

【0066】

P+エミッタよりも濃度が高いN+ベースバッファ層を伴うP+エミッタの装置物理特性は、電流増大に対し負の温度係数を生じる。図17には、界面付近における装置の種々の部分に対するプロファイルが示されている。界面は、当業者には明らかなように、N+バッファの一方側にある。電流増大に対する負の温度係数は、IGBT又はMCTの電流が温度上昇と共に減少することを意味する。より高い温度で減少する電流は、順方向電圧が増加することを意味する。したがって、IGBT及びMCTは、順方向電圧に対し正の温度係数を有する。IGB

T及びMCTの両方に関する順方向電圧に対する正の温度係数は、熱放散を防止し、短絡保護回路を設けるために重要である。

【0067】

N+バッファ層を設計する際に、P+エミッタよりも高いN+バッファ濃度を与えることが重要である。しかし、N+バッファは、IGBT及びMCTのP+裏面エミッタに十分な電流利得を与えることができるよう薄くされるべきである。

【0068】

直接ポンディング又はMOSFET電流制御装置を収容する予め製造された基板を使用するアプローチは、特に、N+バッファ濃度がP+基板濃度よりも高いIGBT若しくはMCTを製作し、裏面P+エミッタに許容可能な電流利得を生ずるように十分薄くするために利点がある。IGBT若しくはMCTを製作するため使用される共通のアプローチは、高温エピタキシャル成長を使用してN+バッファを成長させることである。高温エピタキシャル成長は、厚型バッファ層（1.0乃至2.0 μ mの厚さ）を製作するためN+ドーパントを拡散する。N+バッファ積分ドーピング濃度には最大許容値があるので、N+濃度は、裏面P+エミッタ電流利得を得るために、一般的に、P+基板濃度よりも低くすることが必要である。また、高温（1100乃至1200°C）アニールは、典型的に、電界終端用のディープP型接合を生成するため、P型ドーパントの拡散に使用される。温度プロセスステップがN+バッファの形成後に使用される場合、アニールは、N+バッファの幅を増加させるN型ドーパントを拡散する。積分N+バッファドーパント（厚さに関して積分された濃度）は、適切なIGBT及びMCT動作のために十分な利得を与えることができるよう低くする必要があるので、N+バッファの厚さが増加すると、濃度が低下する。高温電界終端アニールは、P+エミッタ濃度よりも高い濃度のN+バッファを得ることが難しい。

【0069】

P+エミッタ内のドーパント濃度よりも高いドーパント濃度をもつN+バッファを実現する好ましい手法は、N型イオン（砒素、リン、アンチモン）を、P+基板にイオン打込みすることである。イオン打込みされたN型ドーパント濃度は

、P+ドーピング濃度よりも高いので、N型ドーパントは、P+ドーピング濃度を過剰に補償し、薄型N+層は基板の予め接合された表面上に形成され得る。N+バッファ打込みは、他の基板の予め接合された表面上に打込まれる。一方の基板は、100μm乃至200μmの厚さがあり、その表面上に金属相互連結が設けられるので、イオン打込みアニールを行うことは更に困難になる。

【0070】

P+エミッタよりも高い濃度を有する薄型N+バッファを製作する別のアプローチは、ボンディング前に、N+バッファをいづれか一方の基板の予め接合された表面でエピタキシャル成長させることである。

【0071】

P+基板濃度が非常に高い場合（たとえば、P+からN+への接合が非常に低い破壊電圧、非常に高いリーク電流、あるいは、非常に高い濃度をもち、N+バッファ濃度をP+濃度よりも高くすることが困難であるような場合）、別のアプローチは、図18からわかるように、より低い濃度のP型エピタキシャル層をP+基板上で最初に成長させることである。P型エピタキシャル層の厚さ及び濃度を最適化することが必要であると考えられる。P型エピタキシャル層が十分に厚い場合（電子のP+エミッタへの拡散距離よりも厚くしなければならない場合）、P型エピタキシャル層のドーピング濃度は、注入効率を決める有効エミッタ濃度を決定する。この場合、P型エピタキシャル層は、数十ミクロンの厚さであり、約 $1 \times 10^{17} \text{ cm}^{-3}$ のドーピング濃度を持つ必要がある。電子のP型エミッタへの拡散距離は、P型エミッタ内の電子の再結合時間によって決まる。低P型エミッタ濃度の場合、相対的に低いN+バッファ濃度は、N+バッファ濃度がP+エミッタ濃度よりも高いという基準を満たす必要がある。N+バッファイオン打込みは、エピタキシャル成長P型層に行われ、あるいは、N+エピタキシャル層がP型エピタキシャル層で成長する。これにより、二つの基板の直接ボンディングが行える。

【0072】

上述の通り、電流利得に対する負の温度係数を得るための別の方法は、SiGeひずみN+バッファ層を、それぞれの基板の予め接合された表面上でエピタキ

シャル成長させる。SiGe又は高N型濃度ドーパントの薄型エピタキシャル層は、高性能IGBT及びMCTのための重要な利点である。たとえば、薄型高濃度ドーパント層は、短いターンオフ時間と、電流利得に対する負の温度係数とを実現するため、IGBTのN+バッファに使用される。

【0073】

特に、SiGeの層は、IGBT若しくはMCTのためのN+バッファ層として作用する。N+バッファ層は薄いため、IGBTは高速ターンオフ時間と有する。適切に設計されたSiGeベース・エミッタ間のヘテロ接合は、電流利得に対する負の温度係数と、順方向電圧に対する正の温度係数とを有する。この特性は、短絡保護と、熱放散の防止の補助とを与える。第1の基板がN+エミッタとして使用される場合、装置は、P+バッファが第2の基板に製作されるように処理される。

【0074】

IGBT及び／又はMCTに正の温度係数を得るため、P+エミッタのどよりも高いN+バッファ濃度を実現するボンディング以外のいくつかのアプローチが存在する。第1のアプローチは、超薄膜化方式であり、P+エミッタ濃度よりも高いN+バッファ濃度を得るための重要な要件は、N+バッファ形成後の温度ステップを最低限に抑えることである。好ましい製造方法は、

1. IGBT若しくはMCTを半導体基板の表面に実現するのに必要なMOSFET電流制御装置を形成するため要求される処理ステップを実行する。好ましい一つのアプローチは、薄膜化前の金属相互連結ステップ、誘電体堆積ステップ、及び、フォトリソグラフィステップを含む全てのプロセスステップを完了する

【0075】

2. 基板を裏面から約100μmまで薄膜化する。

【0076】

3. 大量のホウ素イオンを約100nmのピーク打込み深さで打込むことによって、P+エミッタを薄膜化された基板の裏面に形成する。

【0077】

4. リンイオンを約500nmの深さまで打込むことにより、高濃度N+バッファを基板の裏面に形成する。

【0078】

5. ホウ素及びリンのイオン打込みドーパントを活性化するためアニール処理する。表面に金属が存在する場合、最大アニール温度は、従来のファーネスアニール処理を使用する約450乃至550°Cである。450乃至550°Cの温度は、ホウ素とリンのイオン打込みドーパントの一部しか活性化しない。

【0079】

表面に金属相互連結が存在する場合でも、打込まれたホウ素及びリンのイオンを略完全に活性化する技術は、エキシマレーザー照射の繰り返し短パルスを使用する。薄膜化された基板の裏面上でP+エミッタよりも高い濃度のN+バッファを実現する他の技術は、N+バッファ及びP+エミッタを約500°Cの温度で裏面にエピタキシャル成長させることである。アルミニウム相互連結の下側にバリアメタルが存在する場合、500°Cの成長温度が許容される。分子ビームエピタキシャル(MBE)成長技術は、有機金属気相成長法(MOCVD)及び超高真空中化学気相成長法(UHVCVD)を含む。N+アモルファスシリコン層及びP+アモルファスシリコン層を堆積させ、層の中の単結晶層を固相エピタキシャル再成長法を用いて約500°Cで再成長させてもよい。P+エミッタを裏面に形成する別の技術は、P+ポリシリコン層を使用することである。このタイプのエミッタは、ポリシリコン層と単結晶層の間に薄型自然酸化物を含む場合があり、電流利得を増加させる可能性があり、ある種の場合には、電流利得が温度に対して殆ど変化しない。

【0080】

高アニール温度は、金属相互連結がステップ1で表面に存在しない場合、裏面にイオン打込みされたドーパントを活性化するため使用される（この場合、基板は金属堆積の直前に処理される）。この場合、基板は薄膜化され、ホウ素及びリンは裏面に打込まれ、800乃至900°Cのアニールは打込まれたドーパントを活性化するため使用される。IGBTを製作するプロセスを完結するために、表面でプロセスステップ及びフォトリソグラフィステップを実行することが必要で

ある。このプロセスの難しい局面は、ウェーハがこの時点で約 $100\mu\text{m}$ の厚さになることである。一般的に、残りのプロセスステップの間に、ウェーハをサポートウェーハに一時的に取り付け、プロセスステップの最後、又は、金属シンタステップの直前にサポートウェーハを取り除くことが必要である。あるいは、薄膜化されたIGBT若しくはMCTの基板は、金属基板に永続的に接合若しくは半田付けし、残りの処理ステップを実行してもよい。

【0081】

かなり狭いN+バッファ層を製作する技術は、N+バッファを低N型ドーパント濃度の予め接合された面に打込み、打込みドーパントをアニールし、基板をP+エミッタ基板に直接ボンドすることである。N+バッファドーパントをP+基板に打込み、P+ドーパント濃度を過剰に補償してもよい。N型基板は、約 $100\mu\text{m}$ まで薄膜化され、IGBT又はMCTを製作する拡散及びプロセスステップが次に実行される。最高温度ステップは、電界終端に対し深い接合を形成すべくホウ素を拡散する 1100 乃至 1200°C のアニールである。この高温ステップは、N+バッファを拡散させ、次に、N+バッファの厚さを増加させる。適切な設計及びアニール温度ステップを用いることにより、P+エミッタ濃度よりも高いN+バッファ濃度を有するIGBT若しくはMOSFETを製作することができる。

【0082】

P+バッファ濃度よりも高いN+バッファ濃度を得るために一つのアプローチは、図18に示されるように、かなり厚い($10\mu\text{m}$)のP型エピタキシャル層を約 $1 \times 10^{17}\text{ cm}^{-3}$ のドーパント濃度を用いてP+基板上で成長させることである。N+バッファが予め接合された面に打込まれた低濃度N型基板は、P型エピタキシャル面に直接ボンディングされる。P型エミッタ注入効率に対する有効ドーパント濃度は、P+基板ドーパント濃度ではなく、P型エピタキシャル層ドーパント濃度である。

【0083】

P+バッファ濃度よりも高いN+バッファ濃度を得るために更に別のアプローチは、図18に示されるように、かなり厚い($10\mu\text{m} \sim 20\mu\text{m}$)のP型エピ

タキシャル層を約 $1 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度を用いてP+基板上で成長させることである。このエピタキシャル成長の後に、N+バッファのエピタキシャル成長と、最後のNベース層のエピタキシャル成長が続けられる。エピタキシャル成長は、非常に高温のプロセスであるため、薄いN+バッファを得ることは困難であり、かくして、N+バッファ濃度がP+エミッタ濃度よりも高いという条件を実現することが困難である。P型エミッタ注入効率に対する有効ドーパント濃度は、P+基板ドーパント濃度ではなく、P型エピタキシャル層ドーパント濃度である。

【0084】

本発明の別の局面は、IGBT及びMCTの直接ボンディング界面付近に横方向に局在化するライフトライムキーリングに関係する。図19の装置170に概略的に示されるように、ライフトライムキーリング打込み物175を横方向及び縦方向に局在化させることは有利である。装置170は、概略的に示された界面173で下側基板171に接合された上側基板172から形成される。下側基板171は、たとえば、N+ドープト部176と、Nドープト部177とを有する。本例の場合、フォトリソグラフィステップ（又は金属メッシュ）が高エネルギープロトン（または、ライフトライムキーリング打込み、欠陥生成技術、あるいは、遷移金属拡散）を決めるため使用され、ある領域まで横方向に制限される。ライフトライムキーリングを有する電力装置の領域は、多数の注入キャリアが、アノードからカソードへの移動ではなく、ライフトライムキーリング領域で再結合するので、典型的に、高い順方向電圧を有する。イオン打込みされたライフトライムキーリングを横方向に制限することによって、キャリアがアノードからカソードに移動する間に再結合しない装置170の領域が得られるので、装置のこの部分は低い（又は理想的）順方向電圧を有する。

【0085】

ベース層にある少数キャリアは、典型的に、エミッタ・ベース接合まで拡散することによって、或いは、再結合中心まで拡散することによって、ベース層から取り除かれる。ライフトライムキーリング打込み物175は横方向に画定され、ベース内の少数キャリアは横方向に短ライフトライム再結合領域まで拡散する。約10

μm の厚さのレジストを約 $3\mu\text{m}$ の形状サイズまでフォト画定することができる
ので、ライフタイムキリング領域は、予め接合された界面から約 $10\mu\text{m}$ に埋め
込まれ、横方向に約 $10\mu\text{m}$ ずつ離間した直径2乃至 $3\mu\text{m}$ の円形ライフタイム
キリング領域175の格子を含む（ $10\mu\text{m}$ 間隔に設けられた2乃至 $3\mu\text{m}$ 幅の
平行線はオプションである）。再合成のため少数キャリアが横方向に移動知な
ければならない有効距離は約 $5\mu\text{m}$ である。このように距離が短いため、再結合時
間は短い。したがって、ライフタイムキリングが横方向に制限される場合、注入
P-N接合面積の大部分はライフタイムキリングがなく、略理想的なターンオフ時
間が実現されると共に、少数キャリアが横方向に再合成することによって高速タ
ーンオフ時間も実現される。

【0086】

シリコン中のヘリウムイオン打込みダメージの大部分は、400乃至600°C
の温度範囲のアニールの期間にアニールされないことが実証された。したがって
、この打込みライフタイムキリングダメージは、低温ボンディングアニールの後
まで残る。

【0087】

上記のライフタイムキリングを横方向に制限する技術は、P-Nダイオードのよ
うな非接合型装置と同様の利点が得られる。ダイオードは低順方向電圧を有する
ことが望ましいので、大部分のダイオード面積がライフタイムキリングを含まな
いことが望ましい。また、高速ターンオフ時間を実現することが望ましい。ダイ
オードに蓄積された電荷の大部分はP-N接合付近にあるので、望ましくは、横方
向に制限されたライフタイムキリング領域（高エネルギーへリウム打込みによ
つて打込まれた可能性がある）はP-N接合からN型ベースの中へ約 $4\mu\text{m}$ 乃至 $8\mu\text{m}$
のところにある。横方向に約 $10\mu\text{m}$ ずつ離間したライフタイムキリング領域
は、その面積の中の殆どの部分にライフタイムキリングが存在しないが、キャリ
アが横方向に再結合するように約 $5\mu\text{m}$ だけ横方向に拡散することを許容するこ
とによって、高速ターンオフ時間を実現する。横方向に制限されたライフタイム
キリングは、P+エミッタアノードがカソード側でIGBT又はMCT装置構造
体の裏面に形成される薄膜IGBTと同様の効果を奏する。

【0088】

IGBT及びMCTの場合、ライフタイムキーリングがN+バッファ付近若しくはN+バッファ内に存在することが望ましい。パンチスルーアイGBTを製作する共通アプローチは、P+基板上でN+バッファ及びN-ベース層をエピタキシャル成長させる。カソード付近にあるIGBT若しくはMCTの拡散及びMOSFET制御装置のための処理ステップが実行される。(典型的に、1000°Cよりも高い)高温のエピタキシャル層成長のため、プロトン若しくはHe打込み、又は、遷移金属拡散のようなライフタイムキーリングは、典型的に、エピタキシャル成長の後に行われる。数種類のイオン打込みキーリング技術が存在するが、高温エピタキシャル成長後に少数キャリア再合成中心として残らない。これらのライフタイムキーリング技術の重要な要素は、良質のエピタキシャル層が成長し得るよう、イオン打込みによってエピタキシャル層が成長する表面に欠陥を生ずることである。一つの技術は、表面から約0.5 μm下に埋め込まれるように十分なエネルギーで、かつ、基板が加熱されたときにHeガスが膨張し、シリコン面の下にバブルを生成するように十分な量($1 \times 10^{16} \text{ cm}^{-3}$)でHeイオンを打込むことである。これらのバブルはエピタキシャル層成長後まで残る。バブルのシリコン側の壁は、遷移金属の析出中心、及び、少数キャリアの再合成中心として作用する。ライフタイムキーリングを横方向に局在化させるアプローチは、フォトリソグラフィ的に画定されたレジストマスキング層を使用し、その結果として、He打込み物が2乃至3 μm径の円形ライフタイムキーリング領域のグリッドを画定し得ることである。このライフタイムキーリング領域は、エピタキシャル層が成長させられる表面から約0.5 μm下に埋め込まれ、横方向に約10乃至20 μmずつ離間している。2乃至3 μm幅の平行線は、オプションとして10乃至20 μmずつ離間する。エピタキシャル層及び横方向ライフタイムキーリングを形成、成長させるプロセスは、以下の通りである。

1. 厚さ約10 μmのN+バッファと10 μmのNベース層とを含むエピタキシャル層をP+基板上で成長させる。
2. 横方向に局在化されたHe打込み物のための領域を画定するフォトリソグラフィステップを実行する。

3. He打込みを実行する。
4. シリコンにバブルを生成するため加熱する。
5. 残りのNベースエピタキシャル層を成長させる。

【0089】

或いは、別のプロセスは以下のステップを含む。

1. $20\ \mu\text{m}$ のNベースエピタキシャル層を成長させ、N+バッファ用の打込み砒素を被覆し、He打込みのためのフォトリソグラフィステップを実行し、He打込みを実行し、加熱し、残りのNベースエピタキシャル層を成長させる。
2. 上記He打込みと同じ方法で使用できる他のイオン打込みライフタイムキリング核は、以下の通りである。
 - a) シリコン面の下側に埋め込まれ、再合成中心として作用する酸素析出物を生成するための酸素打込み物。酸素析出物を生成するためのアニールには、典型的に、析出物を核化する $650\ ^\circ\text{C}$ の長時間アニールと、析出物を成長させる $950\ ^\circ\text{C}$ のアニールと、場合によっては、積層欠陥を成長させる $1100\ ^\circ\text{C}$ のアニールとが含まれる。高密度の酸素を生成するため典型的に要求されるイオン打込み量は、典型的に、約 $1 \times 10^{15}\ \text{cm}^{-2}$ 未満であり、バブルを生じさせるHe打込みの場合のように表面を粗くしない。
 - b) 基板の下側に炭素析出を生じる炭素打込み物。
 - c) エピタキシャル層が成長させられる表面の下側に埋め込まれた順応しない転位の横方向領域を生成するGe打込み物。
 - d) ある種の場合には、事前にエピタキシャル成長したライフタイムキリングの横方向以外に局在化されたキリング領域が望ましい。

【0090】

以下の説明は、1) 装置のアノード側でP型ボディ付近にあるN+バッファと、2) 両面電力装置のための順方向電圧に対する正の温度係数と、3) ボンディング前に研磨する必要のない薄型アノード側及びカソード側装置を形成するための絶縁膜上シリコン(SOI)基板の使用法と、4) 薄型電力装置層を形成する電気化学的エッティングとを実現する別のアプローチに関係する。

【0091】

多数の電力スイッチングアプリケーションは、順方向阻止動作だけを必要とし、逆方向阻止動作を必要としない。この場合、能動装置構造体及び電界終端は、高破壊電圧を実現するため装置のカソード側で要求されるが、低破壊電圧装置だけが装置のアノード側で要求される。この場合、屡々、Nベースに蓄積された正孔電荷の大部分がN+バッファ内若しくはN+バッファ付近にあるので装置の所定の全体的な厚さに対しより高い破壊電圧を実現するため、並びに、上述の電流利得に対する負の温度係数を実現するため装置のアノード側でP型エミッタ付近にN+バッファを配置することが望ましい。

【0092】

両側装置にN+バッファを実現する原理的な方法は、基板が処理された後、直接ボンディングを行う。従来の両面半導体処理を用いて製造された電力スイッチング装置を実現するため適当な幾つかの方法がある。

【0093】

エピタキシャル成長は、アノード側能動装置が製作される前に、アノード側基板上で使用される。このアプローチでは、図20に示されるように、N-ベース層182と、N+バッファ層181と、最後に下側のドープトN層とを有するエピタキシャル層は、浮遊ゾーンN型基板183上で成長する。一部の場合に、二つのドーピング濃度バッファは頑強性のため望ましい。二つのドーピング濃度バッファは、幅広い低ドーピング濃度N型バッファ及び薄型N+バッファのエピタキシャル成長を含む。N+バッファ層は、一般的に、上面から2 μm 乃至20 μm の場所に設けられる。装置のアノード側に設置されたMOSFET電流制御装置は、図示されているようにP型ボディ185内に製作され得る。Pボディは、装置のカソード側でP型ボディエミッタと、N+バッファ/N型ベースと、P型コレクタにより構成されるPNP型バイポーラトランジスタのエミッタを形成する。

【0094】

上記のN+バッファを含む両面電力装置を製造するため使用される直接ボンド方式は、図21に示されるように、上述の通りアノード側基板を製作し、約10 μm 乃至200 μm まで薄膜化し、基板を研磨、洗浄し、基板を水素終端化し、

薄膜化され研磨されたカソード基板190に直接接合する。直接ボンド方式は、アノード側基板180のN型基板濃度が、2ステップN型バッファのより低濃度のN型バッファの所望の濃度をもつことによって、上述の2ステップのNバッファを形成する。アノード側電流制御装置付近にある両面電力装置は、上述のエピタキシャル成長によって製造されるが、直接ウェーハボンド技術の代わりに、両面半導体処理を用いてもよい。

【0095】

リンの高エネルギー打込みは、図22に示されるように基板180'のN+バッファ領域181'を形成するため使用される。基板180'の他の部分は、図20及び21に示された部分と同様であるため、これ以上の説明は行わない。

【0096】

両面電力装置の順方向電圧に対する正の温度係数は、上述の通り、P型ボディエミッタ濃度よりも高いN+バッファ濃度を与えることによって獲得される。この場合、一般的に、図24のアノード側基板200に示されるように、N+バッファ層210を、P型ボディ202の隣又は近傍に設けることが望ましい。図25では、かくして形成されたアノード側基板200を例示されたカソード側基板210に直接ボンディングされる。

【0097】

N+バッファを実現する別のアプローチは、絶縁膜上シリコン(SOI)技術を使用することである。このアプローチでは、N+バッファ21を形成するN+イオン打込みは、図26の上部に示されるようなアノード側基板220の一方の面で行われる。その後、この基板220は、図26の下部に示されるようにSOI基板225を形成するため、表面に酸化膜226が設けられたシリコン基板227にボンディングされる。次に、アノード側基板220の能動装置部分が、図26の上部に示されるように製作される。両面電力装置を形成するため直接ボンディングの前に、シリコン基板及びSOI層は、ウェーハの前面を保護し、酸化膜の内部に50μmまで研削し、シリコンを化学エッティングし、酸化膜でエッティングを停止し、最終的に酸化膜を化学エッティングすることによって取り除かれる。SOI基板の利点は、表面粗さが十分に小さくされ、その結果として、研磨動

作が不要になることである。図27に示されるように、予め製作されたアノード側基板220は、予め製作されたカソード側基板230に直接ボンディングされ得る。イオン打込みされたN+バッファは、予め製作された超薄型アノード側基板の予め接合された面内に形成される。アノード側基板のPボディ付近にN+バッファ層を形成するアプローチにおいて、N+イオン打込みは、アノード側基板若しくはカソード側基板のいずれか一方の予め接合された面の中の一面に行われる。アノード側基板は、Pボディ付近にN+バッファを形成するため、約3μm乃至20μmの厚さであることが一般的に望ましい。超薄型アノード側基板は、研削、研磨、水素イオン打込み層分割、及び、電気化学エッチストップと研磨による直前で説明したSOIアプローチによって実現され得る。

【0098】

薄型アノード側基板は、上述のように、P型基板上でN型ベース層、N+バッファ、N型ベース層をエピタキシャル成長させ、アノード側能動装置を形成することにより作成される。電気化学エッチストップアプローチの場合、典型的に、P型基板は、PN接合欠乏層内でエッチストッピングでエッチングされる。かくして、能動側基板が形成される。一般的に必要なことは、カソード側基板に直接ボンディングできるように十分小さい表面粗さを得るため基板が研磨されることである。電気化学エッチストップ技術は、ウェーハの前面を保護します装置の前面に電気接点を製作する方法を必要とする。潜在的なアプローチは、導電性ポリマーを用いて両方の機能を実行する。

【0099】

両面電源装置を形成するため直接ボンディングを行う薄型基板を製作する別のSOIアプローチは、SOI基板の上部シリコン層に両面電源装置の一面又は両面を製作し、基板及び酸化膜を取り除き、装置を形成するため二つの予め製作された基板を直接ボンディングする。このアプローチの主要な利点は、直接ボンディングの前に予め接合された面を研磨する必要が無いことである。両面電力装置を直接ボンディングするSOIアプローチは、N+バッファが含まれるかどうかとは無関係に有効であり、片面IGBT若しくはMCT装置だけを形成する場合でも有効である。SOI基板を形成する際に、典型的なプロセスは、小さい表面

粗さ ($< 1 \text{ nm}$) の酸化面を直接ボンディングし、シリコンウェーハの表面仕上げをシリコンハンドル基板まで進める。したがって、埋め込み酸化膜に隣接したシリコン面の表面粗さは小さい。両面電力装置を形成するため SOI 基板を使用するアプローチは、上部シリコン層を、一般的に、約 3 乃至 $100 \mu\text{m}$ の厚さの範囲の所望の厚さまで研磨し、上部シリコン層に電力スイッチング装置を作成し、シリコンハンドル基板を取り除き、酸化膜を取り除き、潜在的に予め接合された面にイオン打込みを行い、両面電力スイッチング装置を形成するため予め製作された 2 枚の基板を直接ボンディングする。このプロセスは、図 28 及び 29 を参照してより明瞭に示される。図 28において、アノード側基板 230 は SOI 基板 240 に接合され、図 29において、SOI 基板が取り除かれた後、アノード側基板 230 はカソード側基板 250 に接合される。

【0100】

当業者には容易に理解されるように、3 枚以上の基板を接合することも望ましい。たとえば、一部の高圧電力装置は、シリコン基板の厚さが 2 mm であることを要求する。このシリコン基板はかなり厚い基板であり、厚さが 0.5 mm の 4 枚の基板を一つに接合することにより形成され、上側基板及び下側基板は、本発明に従ってボンディングされる前に予め処理されている。

【0101】

半導体装置の一実施例は、横方向拡張半導体ベースと、ベースに隣接し第 1 導電型ドーパントを有するバッファと、バッファに隣接しベースの反対側にあり、第 2 導電型ドーパントを有する横方向拡張エミッタとを含む。バッファは、装置の電流利得に対する負の温度係数と、順方向電圧に対する正の温度係数とを与えるため、比較的薄く、隣接したエミッタ部の第 2 導電型ドーパント濃度よりも高い第 1 導電型ドーパント濃度を有する。バッファは、シリコン若しくはゲルマニウムである。低温ボンディングされた界面は、エミッタとバッファの間、若しくは、バッファとベースの間にある。装置の別の実施例は、逆極性にドープされた第 1 の横方向拡張部分と第 2 の横方向拡張部分の間に横方向拡張局在化ライフタイムキリング部分を含む。局在化ライフタイムキリング部分は、複数の横方向に制限され、横方向に間隔が設けられたライフタイムキリング領域を含む。別の装

置は一つ以上のP N接合を含む。

【図面の簡単な説明】

【図1】

本発明による半導体装置製造方法のフローチャートである。

【図2】

本発明に従って処理された基板の断面図である。

【図3】

本発明に従って処理された基板の断面図である。

【図4】

本発明に従って処理された基板の断面図である。

【図5】

本発明に従って処理された基板の断面図である。

【図6】

本発明に従って、図2乃至5に示されたステップを用いて製造されたIGBTの断面図である。

【図7】

N-N疎水性接合型ウェーハの抵抗特性をアニール温度の関数として表すグラフである。

【図8】

400°CでアニールされたN-N疎水性接合型ウェーハに対する抵抗とダイ面積の逆数との関係を表し、期待抵抗値が実線で示されたグラフである。

【図9】

400°CでアニールされたP-P疎水性接合型ウェーハに対する抵抗とダイ面積の逆数との関係を表し、期待抵抗値が実線で示されたグラフである。

【図10】

疎水性接合P型及びN型シリコンウェーハから製作された20個のダイオードに対する順方向及び逆方向の電流・電圧特性のグラフである。

【図11】

疎水性接合P N接合のダイオード面積の関数としてダイオード理想特性と順方

向バイアスの関係を表すグラフである。

【図12】

400°Cでアニールされた疎水性接合型ウェーハの接合（ボンド）強度をアニール時間の関数として表し、点線がソーアイング及びプロセッシングのため必要な 800 ergs/cm^2 を示し、実線が $A + B \log(x)$ への最小二乗平均当てはめを示すグラフである。

【図13】

本発明に従って2枚の基板の間のポンディングP-N接合領域の断面図である。

【図14】

ボンド界面を通る電流の導通を切り換える綫型JFETを形成するため使用される直接ボンド界面のP-N接合ペアの断面図である。

【図15】

本発明による薄型N+SiGe層を含む直接ポンディッドIGBTの断面図である。

【図16】

本発明による超薄型イオン打込み若しくはエピタキシャル成長N+バッファ層を含む直接ポンディッドIGBTの断面図である。

【図17】

本発明によるIGBT若しくはMCTのN+バッファ層及びP型アノード付近でドーピング濃度と距離の関係を表すグラフである。

【図18】

本発明に従ってP基板上で成長したP型エピタキシャル層を更に含むN+バッファ層及びP型エミッタアノード付近でドーピング濃度と距離の関係を表すグラフである。

【図19】

本発明による局在化再結合領域が示されたボンド界面領域の断面図である。

【図20】

本発明に従ってN+バッファエピタキシャル層を含むアノード側基板の断面図である。

【図21】

更なる処理がなされ、カソード側基板に接合された図20に示されるようなアノード側基板の断面図である。

【図22】

本発明に従ってN+バッファ層を形成する高エネルギー打込みを例示するアノード側基板の断面図である。

【図23】

更なる処理がなされ、カソード側基板に接合された図22に示されるようなアノード側基板の断面図である。

【図24】

本発明に従ってPボディ拡散付近にN+バッファ層を含むアノード側基板の断面図である。

【図25】

更なる処理がなされ、カソード側基板に接合された図24に示されるようなアノード側基板の断面図である。

【図26】

本発明に従ってSOI基板に接合されたアノード側基板の断面図である。

【図27】

カソード側基板に接合された図26に示されるようなアノード側基板の断面図である。

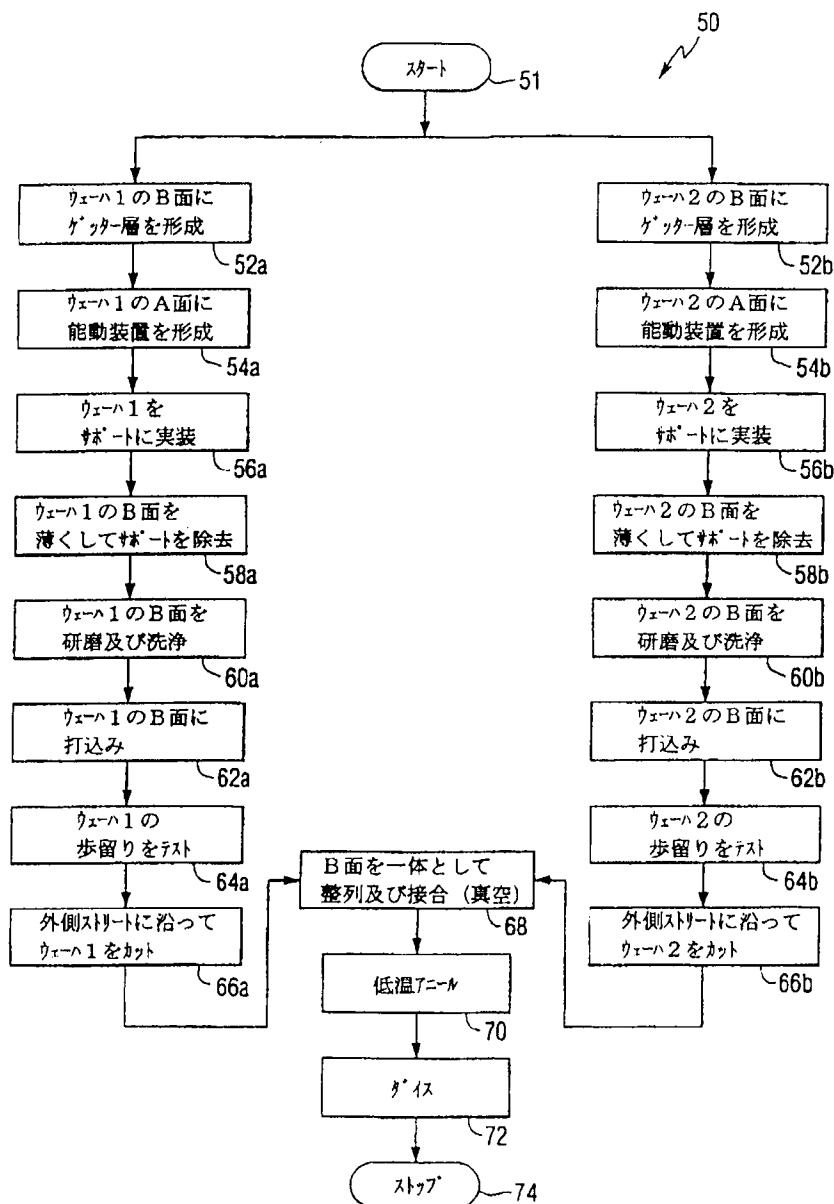
【図28】

本発明に従ってSOI基板に実装されたN+バッファ層及びベース浮遊ゾーンを含むアノード側基板の断面図である。

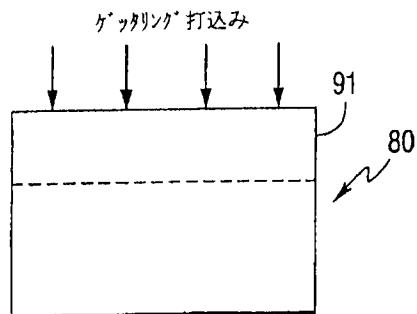
【図29】

更なる処理がなされ、カソード側基板に接合された図28に示されるようなアノード側基板の断面図である。

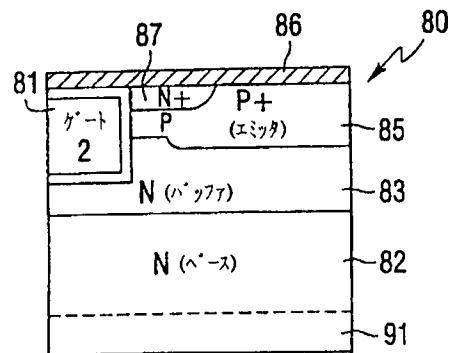
【図1】



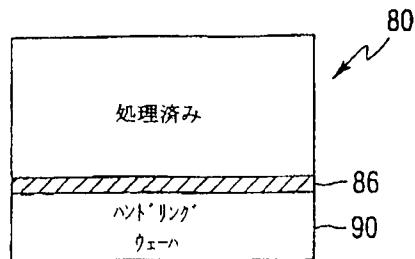
【図2】



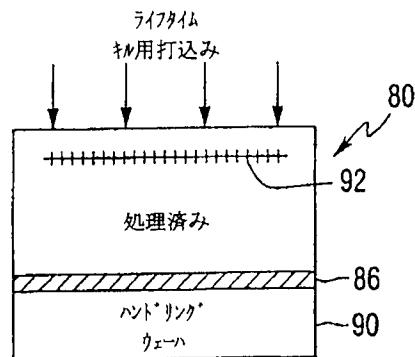
【図3】



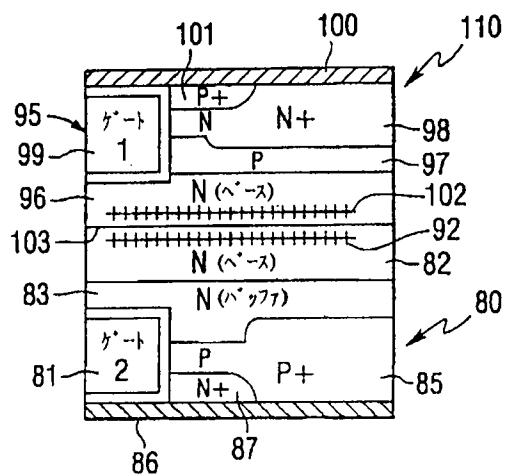
【図4】



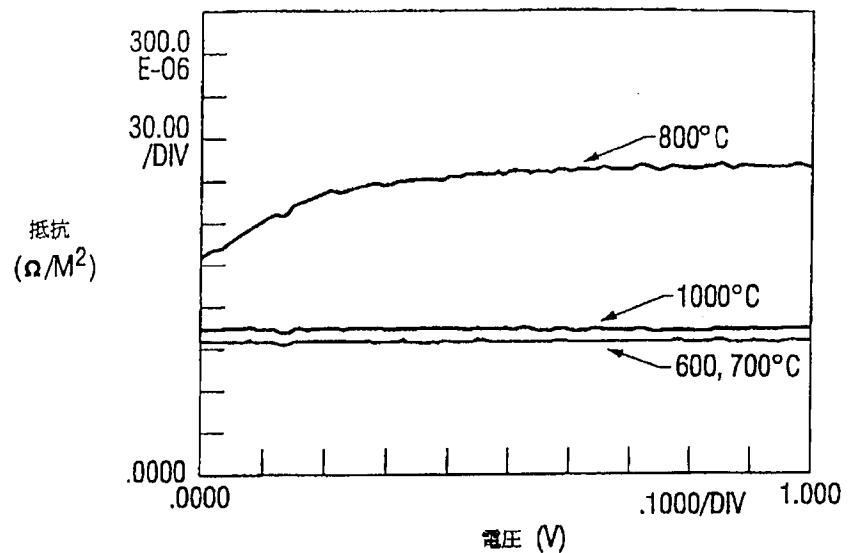
【図5】



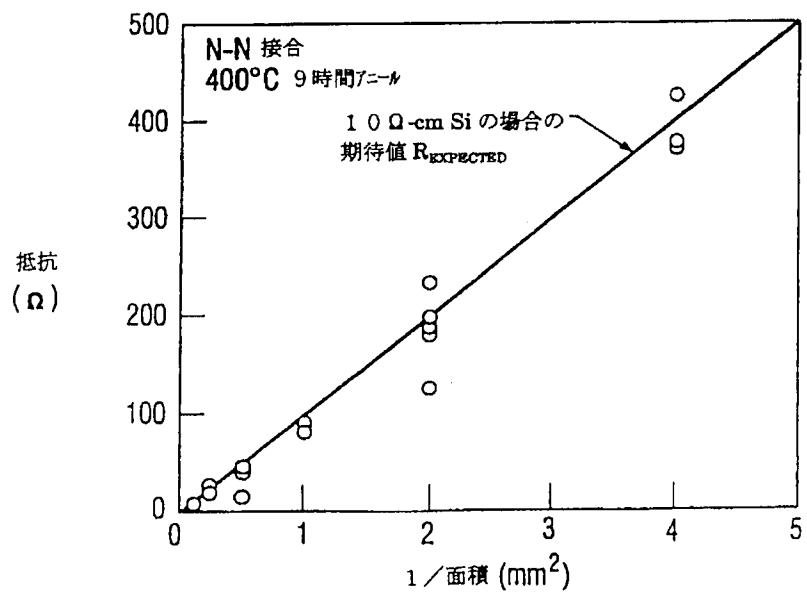
【図6】



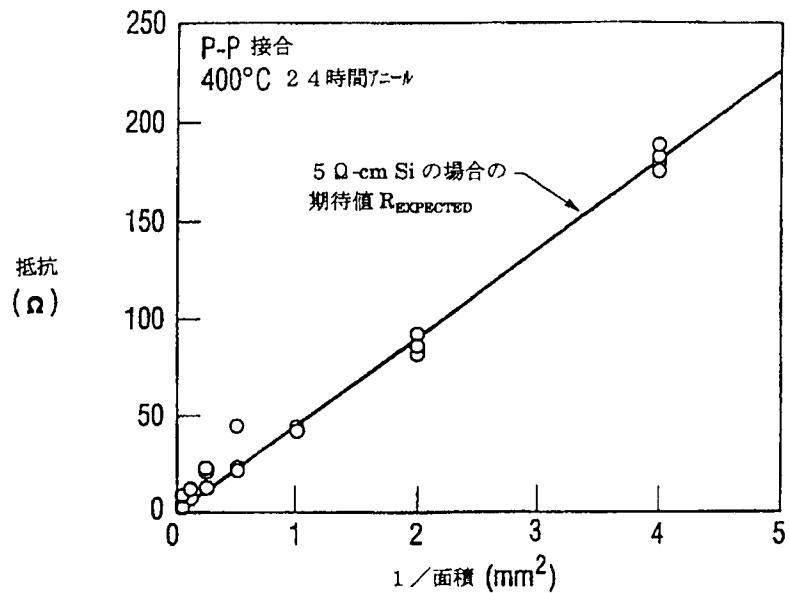
【図7】



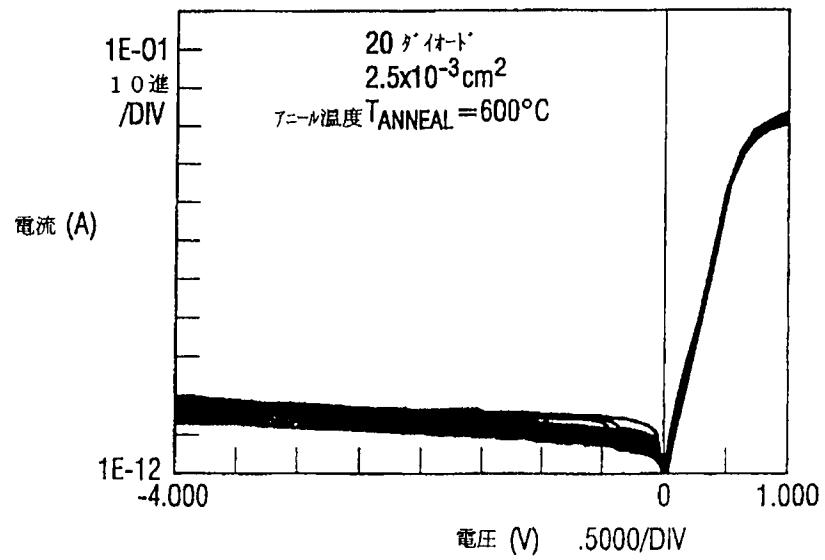
【図8】



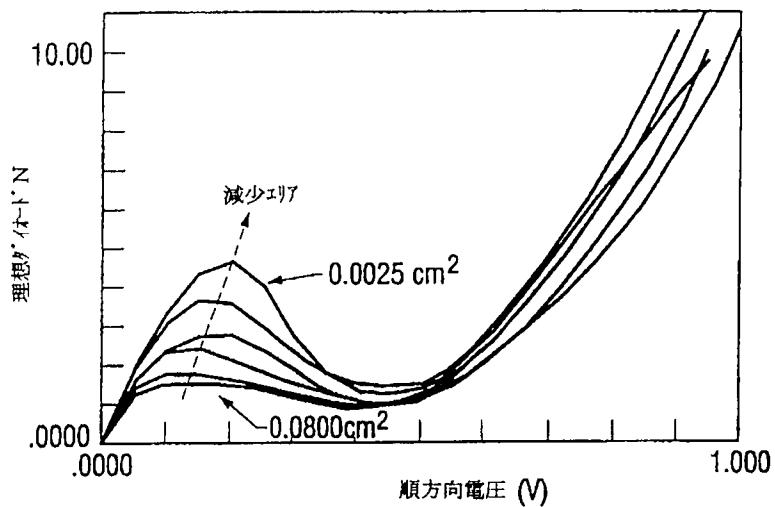
【図9】



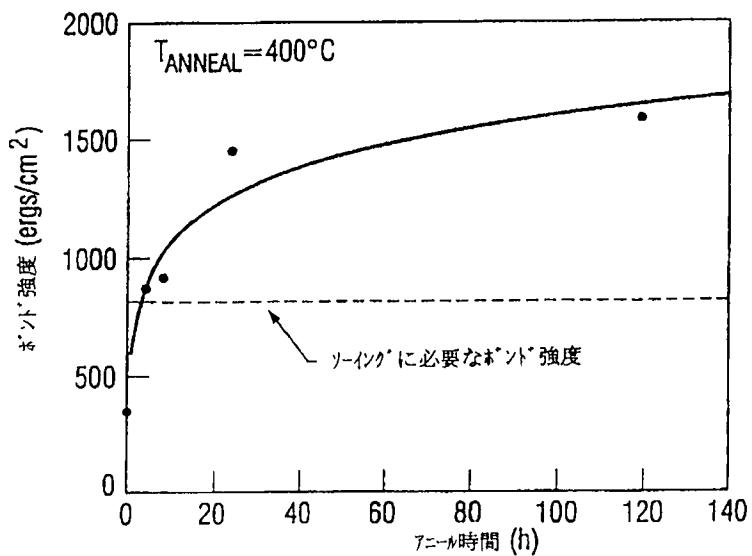
【図10】



【図11】



【図12】



【図13】

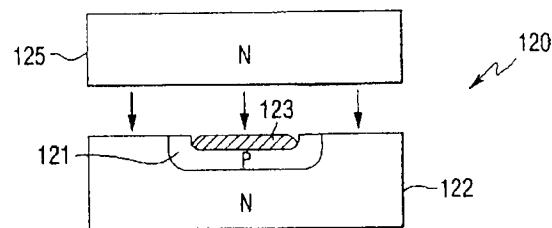


FIG. 13

【図14】

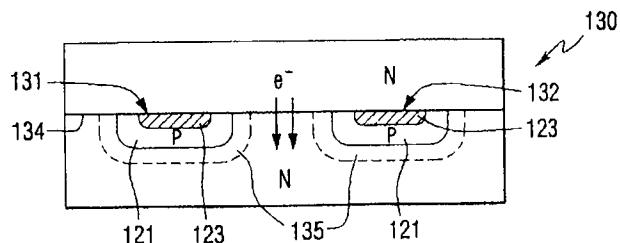
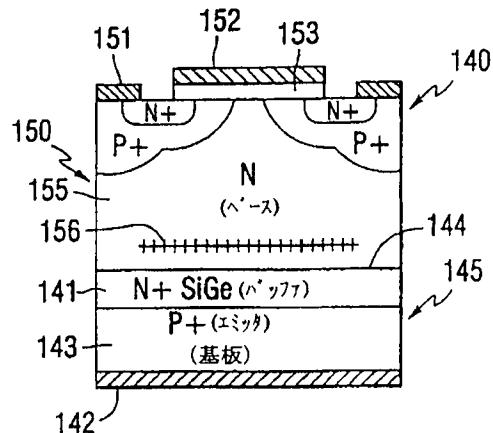
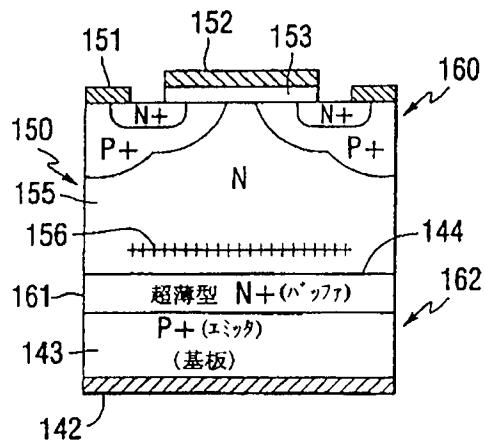


FIG. 14

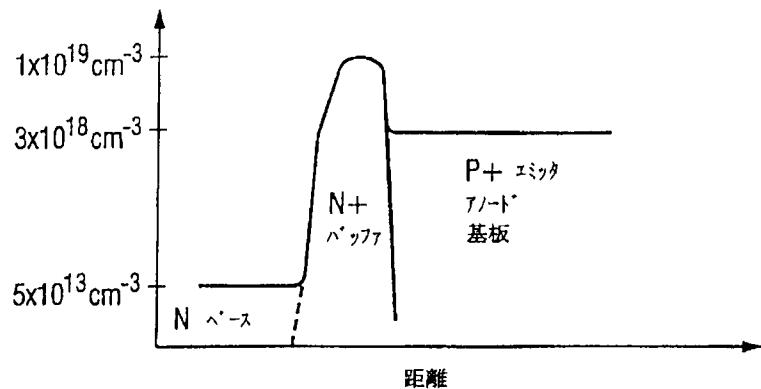
【図15】



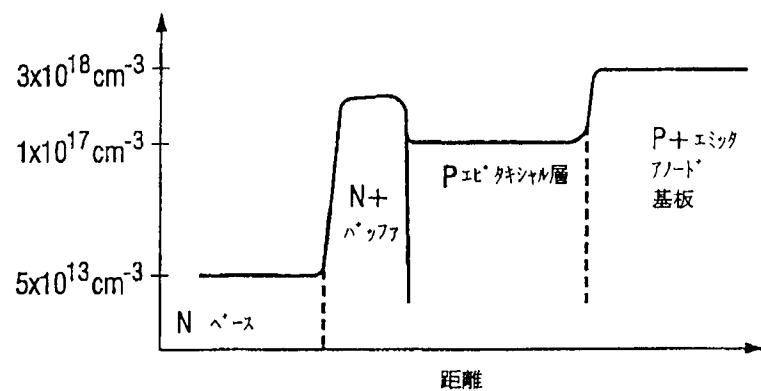
【図16】



【図17】



【図18】



【図19】

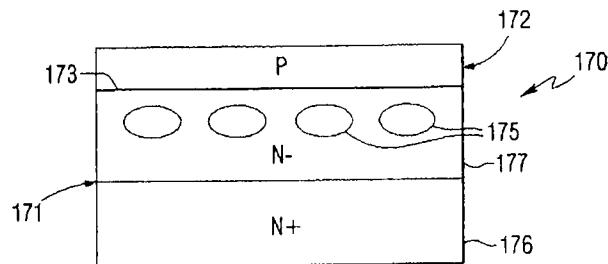
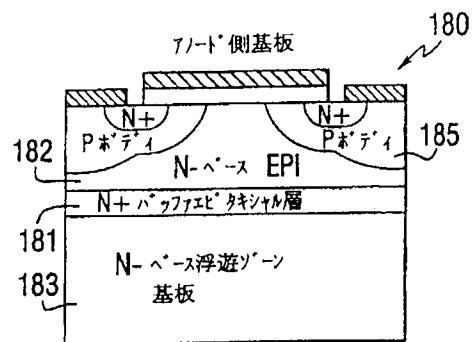
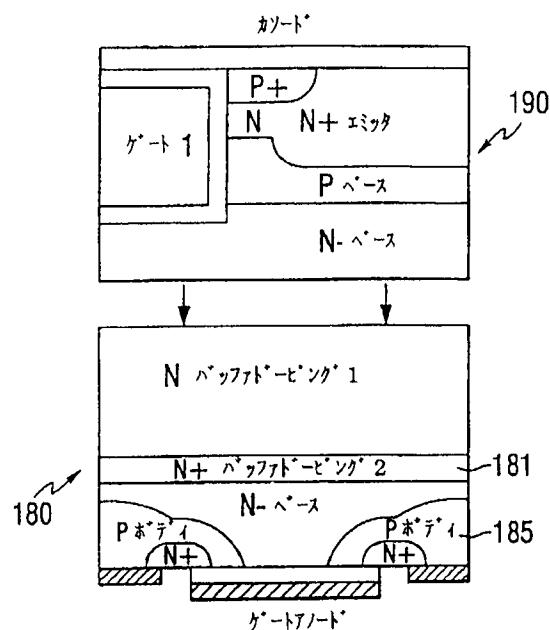


FIG. 19

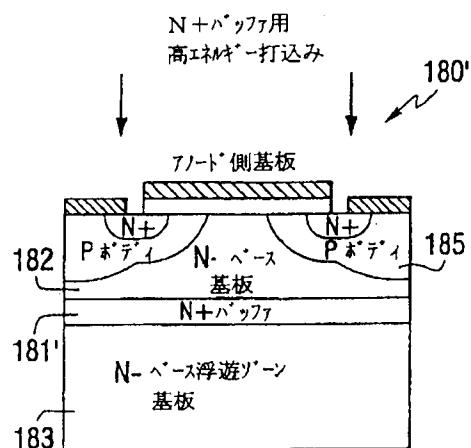
【図20】



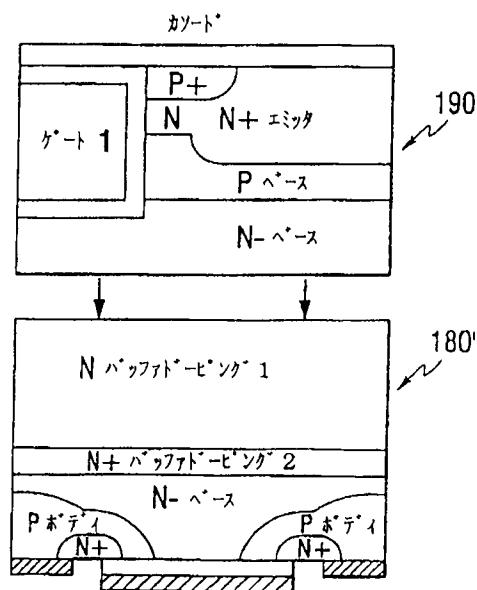
【図2-1】



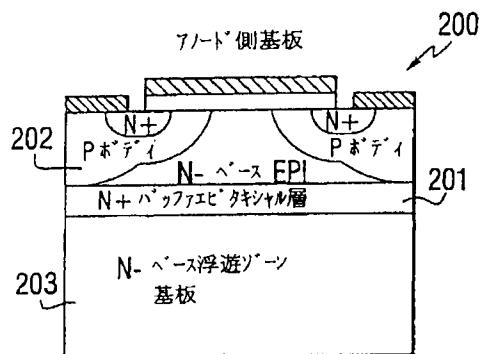
【図2-2】



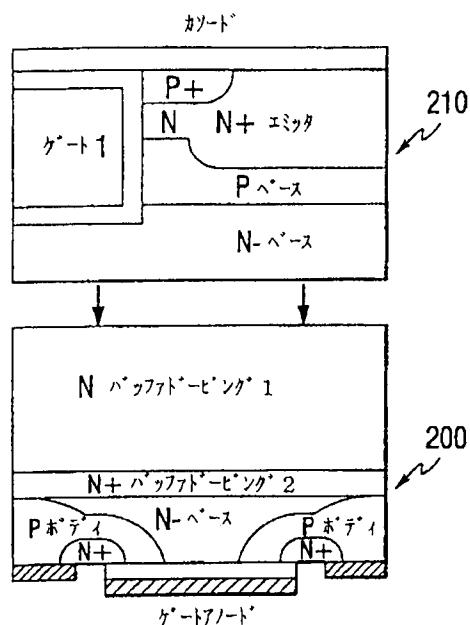
【図23】



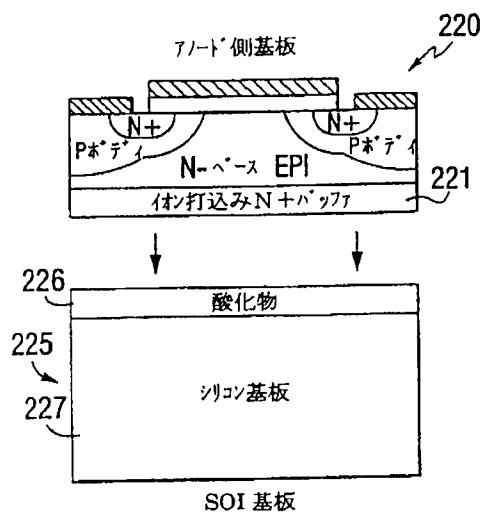
【図24】



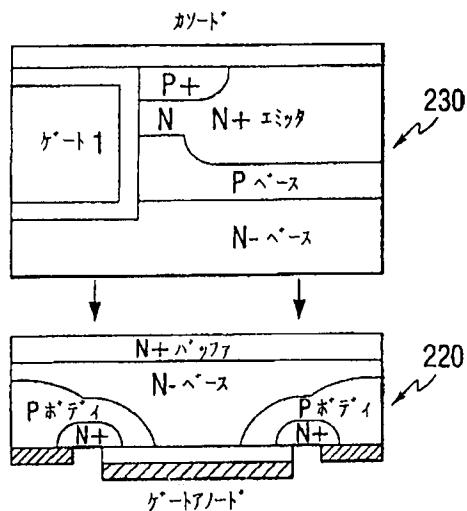
【図25】



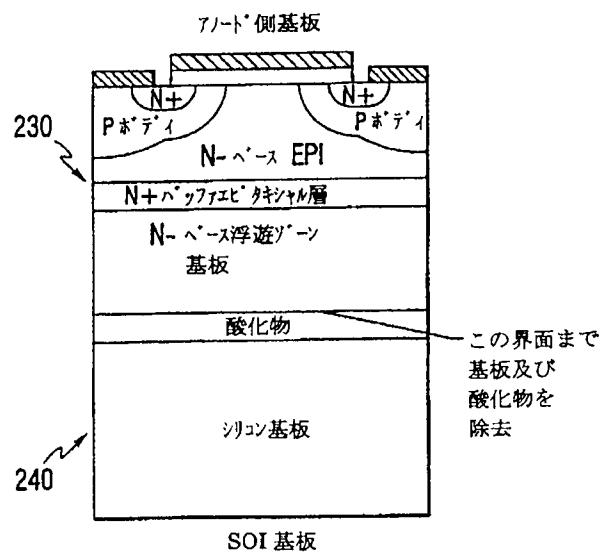
【図26】



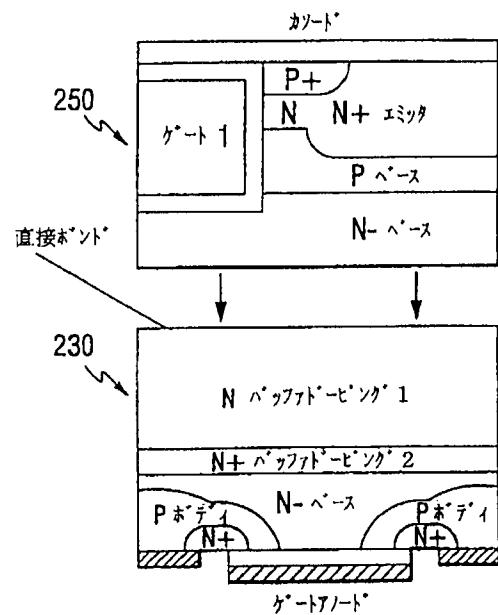
【図27】



【図28】



【図29】



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年3月9日(2000.3.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【特許請求の範囲】

【請求項1】複数の半導体基板から半導体装置を製造する方法であって、

少なくとも1枚の基板の少なくとも一方の面を処理するステップと、

少なくとも1枚の基板を薄膜化するステップと、

少なくとも一方の処理された面が上記半導体装置の外面を構成するように、上記処理された基板と上記薄膜化された基板を一体にボンディングするステップと

上記少なくとも一方の処理された面に悪影響を与えないように、上記ボンディングされた一体の基板を約400°C以上で約800°C未満の比較的低いアニール温度でアニーリングするステップとを有する方法。

【請求項2】上記処理するステップは、第1導電型の高ドープトバッファ層を上記第1導電型のドープト基板に形成する、請求項1記載の方法。

【請求項3】上記処理するステップは金属層を形成し、
上記アニール温度は上記金属層の特性に関係した温度よりも低い、請求項1記載の方法。

【請求項4】上記金属はアルミニウムであり、
上記アニール温度は約450°C未満である、請求項3記載の方法。

【請求項5】上記処理するステップは、上記アルミニウムと基板の間にバリアメタルを形成するステップを更に有し、
上記アニール温度は約450°C乃至550°Cの範囲に収まる、請求項4記載の方法。

【請求項6】 上記処理するステップは、少なくとも一つのドープト領域を形成し、

上記アニーリングするステップの後に、少なくとも一つの金属層を形成する、
請求項1記載の方法。

【請求項7】 上記処理するステップは少なくとも1個のMOSFET制御装置を形成する、請求項1記載の方法。

【請求項8】 上記薄膜化するステップは、上記処理された面と反対側の上記少なくとも1枚の基板の表面部分を取り除く、請求項1乃至7のうちいずれか一項記載の方法。

【請求項9】 上記薄膜化するステップは、約200μm未満の厚さまで薄膜化する、請求項1乃至8のうちいずれか一項記載の方法。

【請求項10】 上記薄膜化された面を10nm未満の所定の表面粗さまで研磨するステップを更に有する請求項1乃至9のうちいずれか一項記載の方法。

【請求項11】 上記薄膜化するステップの前に、上記少なくとも1枚の基板のためのゲッタリング層を形成するステップを更に有し、

上記薄膜化するステップは上記ゲッタリング層を取り除く、請求項1乃至10のうちいずれか一項記載の方法。

【請求項12】 上記ゲッタリング層を形成するステップは、リン拡散、アルゴン若しくは炭素のイオン打込み、及び、ポリシリコン堆積の中の少なくとも一つを実行する、請求項1記載の方法。

【請求項13】 上記ゲッタリング層を形成するステップは、上記処理するステップの前に上記ゲッタリング層を形成する、請求項11又は12記載の方法。

【請求項14】 上記ボンディングするステップの前に、上記処理された基板と反対側の上記少なくとも1枚の基板の面に打込み領域を形成するステップを更に有する請求項1乃至13のうちいずれか一項記載の方法。

【請求項15】 上記少なくとも1枚の基板は第1導電型ドーパントを含む層を有し、

上記打込み領域を形成するステップは、上記第1導電型ドーパントの濃度より

も高い濃度の第2導電型ドーパントを上記ドープト層に打込む、請求項14記載の方法。

【請求項16】 上記打込み領域を形成するステップは、ライフタイムキリング打込み物を打込む、請求項14記載の方法。

【請求項17】 上記打込み領域を形成するステップは、複数の横方向に離間したライフタイムキリング打込み領域を画成するため、所定のパターンで打込む、請求項16記載の方法。

【請求項18】 上記ライフタイムキリング打込み物は、プロトン、ヘリウム、炭素、酸素、アルゴン、シリコン、プラチナ、パラジウム、金、鉄、及び、ニッケルの中の少なくとも一つを含有する、請求項16又は17記載の方法。

【請求項19】 上記ボンディングするステップの前に、上記処理された基板と反対側の上記少なくとも1枚の基板の面にエピタキシャル層を形成するステップを更に有する請求項1乃至18のうちいずれか一項記載の方法。

【請求項20】 上記少なくとも1枚の基板はシリコンを含有し、上記エピタキシャル層はゲルマニウムを含有する、請求項19記載の方法。

【請求項21】 上記ボンディングするステップの前に、各基板に所定の対応する部分を画定し、
切断コッジを画成するため、上記所定の部分に沿って上記基板をカッティングし、
上記切断コッジに沿って上記基板を整列することにより、上記基板を整列するステップを更に有する請求項1乃至20のうちいずれか一項記載の方法。

【請求項22】 上記基板はシリコンを含有し、
上記ボンディングするステップの前に、シリコン面を水素終端化するステップを更に有する、請求項1乃至21のうちいずれか一項記載の方法。

【請求項23】 上記ボンディングするステップは、所定の温度、所定の環境及び、所定の圧力でボンディングする、請求項1乃至22のうちいずれか一項記載の方法。

【請求項24】 上記処理するステップは、全ての能動装置及び相互連結を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項1乃至23

のうちいづれか二項記載の方法。

【請求項25】 上記アニール温度は約400°C以上であり、
ボンド界面エネルギーは約800 ergs/cm μ 以上である、請求項1乃至
24のうちいづれか一項記載の方法。

【請求項26】 少なくとも1枚の基板の少なくとも一方の面が処理され、
少なくとも1枚の基板が薄膜化される複数の基板から製造される半導体装置であ
って、

横方向に拡がる横方向拡張半導体ベースと、
上記ベースに隣接し第1導電型ドーパントを有する横方向拡張バッファと、
上記バッファに隣接し上記ベースの反対側にあり、第2導電型ドーパントを有
する横方向拡張エミッタと、
上記ベースと上記バッファの間、若しくは、上記バッファと上記エミッタの間
に設けられ、約400°C以上かつ約800°C未満の温度でアニールされた横方向
に拡がるボンディングされた横方向拡張ボンディングド界面とを含み、
上記バッファは、比較的薄く、隣接したエミッタ部分の第2導電型ドーパント
濃度よりも高い第1導電型ドーパント濃度を有し、
上記横方向拡張ボンディングド界面は実質的に酸化物を含まない、半導体装置。

【請求項27】 上記ベースは上記バッファの第1導電型ドーパント濃度より
も低い濃度の第1導電型ドーパントを有する請求項26記載の半導体装置。

【請求項28】 上記バッファのドーパント濃度は約 1×10^{17} cm $^{-3}$
以上の濃度である請求項27記載の半導体装置。

【請求項29】 上記バッファは約10ミクロン未満の厚さを有する請求項
26乃至28のうちいづれか一項記載の半導体装置。

【請求項30】 上記ベースと上記エミッタの少なくとも一方はシリコンを
含む請求項26乃至29のうちいづれか一項記載の半導体装置。

【請求項31】 上記バッファはゲルマニウムを含む請求項30記載の半導
体装置。

【請求項32】 上記ベースに出入りする電流フローを制御する手段を更に
有する請求項26乃至31のうちいづれか一項記載の半導体装置。

【請求項33】 上記電流フローを制御する手段は少なくとも1個のMOSFET電流制御装置を含む請求項32記載の半導体装置。

【請求項34】 上記エミッタは、上記バッファに隣接したエピタキシャル部分と、上記エピタキシャル部分の反対側の第2の部分とを含む請求項26乃至33のうちいずれか一項記載の半導体装置。

【請求項35】 上記ベースと上記バッファの間、若しくは、上記バッファと上記エミッタの間に、横方向に拡がる局在化された横方向拡張局在化ライフタイムキーリング部分を更に有し。

上記局在化ライフタイムキーリング部分は、横方向に制限され、横方向に離間した複数のライフタイムキーリング領域を有する、請求項26乃至34のうちいずれか一項記載の半導体装置。

【請求項36】 上記ライフタイムキーリング領域は、約10ミクロンの所定の距離だけ上記ボンディング界面から縦方向に離間している、請求項35記載の半導体装置。

【請求項37】 上記の各ライフタイムキーリング領域は、欠陥及び／又は打ち込まれた不純物を含む、請求項35又は36記載の半導体装置。

【請求項38】 上記の各ライフタイムキーリング領域は、直径が約2乃至20ミクロンの円形領域を有し。

隣接した円形領域は約5乃至20ミクロンずつ離間されている、請求項35乃至37のうちいずれか一項記載の半導体装置。

【請求項39】 上記の各ライフタイムキーリング領域は、幅が約2乃至20ミクロンである帯状領域を有し、

隣接した帯状領域は約5乃至20ミクロンずつ離間されている、請求項35乃至37のうちいずれか一項記載の半導体装置。

【請求項40】 上記エミッタは、上記バッファに隣接したエピタキシャル部分と、上記エピタキシャル部分の反対側の第2の部分とを含む請求項26乃至39のうちいずれか一項記載の半導体装置。

【請求項41】 横方向に拡がる横方向拡張半導体ベースと、上記ベースに隣接し第1導電型ドーパントを有する横方向拡張バッファと、

上記バッファに隣接し上記ベースの反対側にあり、第2導電型ドーパントを有する横方向拡張エミッタとを含み、

上記エミッタの第2導電型ドーパントは、装置の電流利得に対する負の温度係数と、順方向電圧に対する正の温度係数とを与えるため、隣接したエミッタ部分の第2導電型ドーパント濃度よりも高い濃度を有する、半導体装置。

【請求項42】 横方向に拡がる半導体ベースと、

上記ベースに隣接し第1導電型ドーパントを有する横方向に拡がるバッファと

上記バッファに隣接し上記ベースの反対側にあり、第2導電型ドーパントを有する横方向に拡がるエミッタと、

上記ベースと上記バッファの間、並びに、上記バッファと上記エミッタの間のいづれか一方の間で横方向に拡がるボンディングされた界面とを含み、

上記バッファは、比較的薄く、隣接したエミッタ部分の第2導電型ドーパント濃度よりも高い第1導電型ドーパント濃度を有し、

上記横方向に拡がるボンディングされた界面は、質的に酸化物を含まない、半導体装置。

【請求項43】 第1導電型ドーパントを有する横方向に拡がる第1の部分と、

上記第1の部分の上にあり、第2導電型ドーパントを有する横方向に拡がる第2の部分と、

上記第1の部分と上記第2の部分の間で、横方向に拡がる局在化ライフタイムキーリング部分とを含み、

上記局在化ライフタイムキーリング部分は、横方向に制限され、横方向に離間した複数のライフタイムキーリング領域を有する、半導体装置。

【請求項44】 第1導電型ドーパントを有する横方向に拡がる第1の部分と、

上記第1の部分の上にあり、第1導電型ドーパントを有する横方向に拡がる第2の部分と、

上記第1の部分と上記第2の部分の界面に隣接した上記第1の部分に形成され

、少なくとも一つのP-N接合を画定する少なくとも一つの第2導電型のドープト領域と、

上記少なくとも一つのドープト領域と上記第2の部分の間に配置され、上記P-N接合の抵抗を低下させる導電層とを含む、半導体装置。

【請求項45】 第1導電型ドーパントを有する横方向に拡がる第1の部分と、

上記第1の部分の上にあり、第1導電型ドーパントを有する横方向に拡がる第2の部分と、

上記第2の部分の上にあり、第2導電型ドーパントを有する横方向に拡がる第3の部分と、

上記第1の部分の外面にある第1の能動制御装置と、

上記第3の部分の外面にある第2の能動制御装置とを含み、

上記第1の部分と上記第2の部分の一方は上記第3の部分のドーパント濃度よりも高いドーパント濃度を有する、半導体装置。

【手続補正書】

【提出日】平成13年1月9日(2001.1.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】複数の半導体基板の各基板の一方の面をボンディング用に準備するステップと、

上記一方の面同士を結合するため上記基板を合わせ、上記基板を一体の基板にボンディングするステップと有し、

複数の半導体基板から半導体装置を製造する方法であつて、

上記ボンディングするステップの前に、少なくとも1枚の基板のもう一方の面を処理するステップと、

上記ボンディングするステップの前に、少なくとも1枚の基板を薄膜化するステップと、

処理された上記もう一方の面が、ボンディングされた一体の基板によって形成される上記半導体装置の外面を構成するように、処理された薄膜化された上記基板を一体にボンディングするステップと、

処理された上記もう一方の面に悪影響を与えないように、ボンディングされた上記一体の基板を約400°C以上で約800°C未満の比較的低いアニール温度でアニーリングするステップとを有する方法。

【請求項2】少なくとも1枚の基板は第1導電型のドープト基板であり、上記少なくとも1枚の基板のもう一方の面を処理するステップは、上記第1導電型の高ドープトバッファ層を上記基板に形成する、請求項1記載の方法。

【請求項3】上記少なくとも1枚の基板のもう一方の面を処理するステップは、上記もう一方の面上に金属層を形成するステップを含み、

上記アニール温度は上記金属層の特性に関係した温度よりも低い、請求項1記

載の方法。

【請求項4】 上記少なくとも1枚の基板のもう一方の面を処理するステップは上記基板に少なくとも1個のMOSFET制御装置を形成する、請求項1乃至3のうちいずれか一項記載の方法。

【請求項5】 上記薄膜化するステップは、上記少なくとも1枚の基板の上記一方の面の表面部分を取り除き、薄膜化された面を10nm未満の所定の表面粗さまで研磨する、請求項1乃至4のうちいずれか一項記載の方法。

【請求項6】 上記薄膜化するステップの前に、上記少なくとも1枚の基板の上記一方の面にゲッタリング層を形成するステップを更に有し、

上記薄膜化するステップは上記ゲッタリング層を取り除く、請求項1乃至5のうちいずれか一項記載の方法。

【請求項7】 上記少なくとも1枚の基板は第1導電型ドーパントを含むドープト層を有し、

複数の横方向に離間したライフタイムキリング打込み領域を画成するため、ライフタイムキリング打込み物を所定のパターンで上記ドープト層に打込むステップを更に有する請求項1乃至6のうちいずれか一項記載の方法。

【請求項8】 上記ボンディングするステップの前に、上記もう一方の表面とは反対側の上記少なくとも1枚の基板の上記一方の面にエピタキシャル層を形成するステップを更に有する請求項1乃至7のうちいずれか一項記載の方法。

【請求項9】 上記ボンディングするステップの前に、各基板に対応する所定の部分を画定し、
切断エッジを画成するため、上記所定の部分に沿って上記基板をカッティング

し、上記切断エッジに沿って上記基板を整列することにより、上記基板を整列するステップを更に有する請求項1乃至8のうちいずれか一項記載の方法。

【請求項10】 上記少なくとも1枚の基板の上記もう一方の面を処理するステップは、全ての能動装置及び相互連結を形成するため、上記少なくとも1枚の基板を完全に処理する、請求項1乃至9のうちいずれか一項記載の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

		Int'l. Search Application No. PCT/US 99/05066
4. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L21/18 H01L29/739 H01L29/74		
According to International Patent Classification (IPC) or to both national classification and IPC		
5. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data bases consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of documents, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 541 122 A (TU ET AL.) 30 July 1996 cited in the application	1-3, 5-8, 10-21, 23, 24, 59, 60, 66, 80, 88, 89, 92-95, 106, 107, 111, 112, 117-119 142, 152, 153, 156, 157
X	see the whole document	-/-
---		---
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance		
B earlier document but published on or after the international filing date		
L document which may throw doubts on priority, claiming of which is used to establish the publication date of another document or other special reason (i.e.新颖性)		
O document referring to an oral disclosure, use, exhibition or other means		
P document published prior to the international filing date but later than the priority date claimed		
T later document published after the international filing date of priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention		
X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		
Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art		
Z document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
15 June 1999		23/06/1999
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentlaan 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-2040, Te. 31 651 4041 Fax: (+31-70) 340-3010		Authorized Officer Baillet, B

Form PCT/ISA/210 (second sheet) July 1999

INTERNATIONAL SEARCH REPORT

Int'l. Appl. No.
PCT/US 99/05066

C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		Relevant to claim No.
Category	Citation of document, with indication, where appropriate, of relevant passages	
X	EP 0 269 294 A (KABUSHIKI KAISHA TOSHIBA) 1 June 1988 see the whole document	1,2,7,8, 10-18, 59,62, 77-96, 102,103, 105-107, 116,117, 119, 142-169
X	EP 0 192 229 A (KABUSHIKI KAISHA TOSHIBA) 27 August 1986 see the whole document	1-3,5-8, 10-21, 23,24, 59, 77-95, 106,107, 111-123, 125-131, 142-178
X	US 4 920 396 A (SHINOHARA ET AL.) 24 April 1990 see the whole document	32-34, 36-38, 41,44, 45,59, 66-69, 132-135
X	DE 10 46 196 B (SIEMENS-SCHUCKERTWERKE) 11 December 1958 see the whole document	1,2,9,25
X	YANG W -S ET AL: "GOLD GETTERING IN DIRECTLY BONDED SILICON WAFERS" JAPANESE JOURNAL OF APPLIED PHYSICS, vol. 28, no. 5, PART 2, 1 May 1989, pages L721-L724, XP000030438 see the whole document	96
A	PATENT ABSTRACTS OF JAPAN vol. 11, no. 249 (E-532) '2696!, 13 August 1987 & JP 62 062558 A (TOSHIBA CORP), 19 March 1987 see abstract	46
		-/-

INTERNATIONAL SEARCH REPORT

Int'l. Appl. No.
PCT/US 99/05066

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation or document, with indication where appropriate, of the relevant passages	Relevant to claim No.
A	<p>GOH W L ET AL: "BURIED METALLIC LAYERS IN SILICON USING WAFER FUSION BONDING TECHNIQUES" PROCEEDINGS OF THE MEDITERRANEAN ELECTROTECHNICAL CONFERENCE, ANTALYA, TURKEY, APR. 12 -14, 1994, vol. 1, no. CONF. 7, 12 April 1994, pages 625-628, XP000506198 INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS see the whole document</p>	46

1

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

page 3 of 3

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int. Search Application No.

PCT/US 99/05066

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 5541122	A 30-07-1996	NONE		
EP 269294	A 01-06-1988	JP 2633536 B 23-07-1997	JP 63116469 A 20-05-1988	
		DE 3751875 D 26-09-1996	DE 3751875 T 06-02-1997	
EP 192229	A 27-08-1986	JP 1835163 C 11-04-1994	JP 61191071 A 25-08-1986	
		DE 3650573 D 31-10-1996	DE 3650573 T 06-03-1997	
		EP 0406916 A 09-01-1991	US 5128277 A 07-07-1992	
US 4920396	A 24-04-1990	JP 63254762 A 21-10-1988		
DE 1046196	B	NONE		

Form PCT/ISA/210 (patent family report) (July 1992)

フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	7-マコ-5 ⁷ (参考)
H01L 21/336		H01L 29/78	658K
29/80			658H
		29/80	V
(31) 優先権主張番号	09/036, 815		
(32) 優先日	平成10年3月9日(1998. 3. 9)		
(33) 優先権主張国	米国 (U.S.)		
(81) 指定国	E P (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR		
(72) 発明者	テンブル, ヴィクタ-- キース アメリカ合衆国 ニューヨーク州 12065 クリフトン・パーク メイン・ストリート 962		
(72) 発明者	ニールソン, ジョン マニング セイヴィ ンジ アメリカ合衆国 ベンシルヴェニア州 19403 ノリスタウン イージプト・ロード 2620		
(72) 発明者	ホバート, カール アメリカ合衆国 メリーランド州 20772 アッパー・マールボロ クルーム・ロード 8610		
F ターム(参考)	5F005 AA02 AA03 AB02 AB03 AC02 AD01 AE09 AF01 AF02 AG02 AH02 AH04 GA01 5F102 GB04 GC07 GD04 GD10 GJ02 GJ03 GJ10 GK02 GQ01 HC01 HC07 HC21		